

日本国特許庁  
JAPAN PATENT OFFICE

4181161  
J1046 U.S. PTO  
09/966354  
09/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 9月29日

出願番号

Application Number:

特願2000-300754

出願人

Applicant(s):

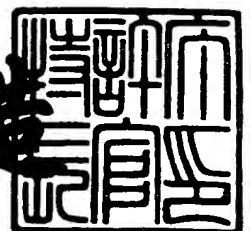
株式会社半導体エネルギー研究所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 7月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 P005238

【提出日】 平成12年 9月29日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 佐竹 瑠茂

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置及びその駆動方法

【特許請求の範囲】

【請求項 1】

第 1 のサブフレームにおいて第 1 の信号電圧の電位を有する画素電極が第 2 のサブフレームにおいて第 2 の信号電圧の電位を有するときに、前記第 1 の信号電圧から前記第 2 の信号電圧へと電圧値が変化するときの液晶の応答時間を演算し、前記第 2 のサブフレームにおいて前記演算した前記液晶の応答時間の長い画素から順に、前記画素の前記画素電極に前記第 2 の信号電圧の電位を与えることを特徴とする液晶表示装置の駆動方法。

【請求項 2】

同一の信号線に接続した同一の階調を表示する画素 T F T を検出し、前記画素 T F T の画素電極に、同時に信号電圧の電位を与えることを特徴とする液晶表示装置の駆動方法。

【請求項 3】

信号線及び第 1 の走査線に接続した第 1 の画素 T F T に接続して設けられた第 1 の画素電極と、前記信号線及び第 2 の走査線に接続した第 2 の画素 T F T に接続して設けられた第 2 の画素電極とに、第 1 の信号電圧の電位を与える第 1 段階と、前記第 1 の走査線から前記第 2 の走査線まで順次走査線を選択する第 2 段階と、前記信号線及び前記第 2 の走査線を選択し前記第 2 の画素電極に前記第 1 の信号電圧の絶対値との差が 0 V より大きく 0. 5 V より小さい第 2 の信号電圧の電位を与える第 3 段階とを有することを特徴とする液晶表示装置の駆動方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、前記液晶表示装置に第 1 の発光色、第 2 の発光色、第 3 の発光色が順次、間欠的に入射することを特徴とする液晶表示装置の駆動方法。

【請求項 5】

第 1 のサブフレームにおいて画素電極に与える第 1 の信号電圧の電位を記憶する第 1 の手段と、第 2 のサブフレームにおいて前記画素電極に与える第 2 の信号電

圧の電位を記憶する第 2 の手段と、前記第 1 の信号電圧から前記第 2 の信号電圧へと電圧値が変わるときの液晶の応答時間を演算する第 3 の手段と、前記演算した前記液晶の応答時間の長い画素の順に、前記画素の前記画素電極に前記第 2 の信号電圧を与える第 4 の手段とを有することを特徴とする液晶表示装置。

【請求項 6】

請求項 5 において、前記第 4 の手段は前記画素の画素 T F T に接続した信号線を選択する手段と、前記画素の画素 T F T に接続した走査線を選択する手段とを含むことを特徴とする液晶表示装置。

【請求項 7】

請求項 6 において、前記信号線を選択する手段がアドレスデコーダーを含むことを特徴とする液晶表示装置。

【請求項 8】

請求項 7 において、前記走査線を選択する手段がアドレスデコーダーを含むことを特徴とする液晶表示装置。

【請求項 9】

同一の信号線に接続した同一の階調を表示する画素 T F T を検出する第 1 の手段と、前記画素 T F T の画素電極に同時に信号電圧の電位を与える第 2 の手段とを有することを特徴とする液晶表示装置。

【請求項 1 0】

請求項 9 において、前記第 2 の手段は前記画素の画素 T F T に接続した信号線を選択する手段と、前記画素の画素 T F T に接続した走査線を選択する手段とを含むことを特徴とする液晶表示装置。

【請求項 1 1】

請求項 1 0 において、前記信号線を選択する手段がアドレスデコーダーを含むことを特徴とする液晶表示装置。

【請求項 1 2】

請求項 1 1 において、前記走査線を選択する手段がアドレスデコーダーを含むことを特徴とする液晶表示装置。

【請求項 1 3】

信号線に接続した複数の画素 T F T のうち、第 1 の信号電圧の電位を与える第 1 の画素電極を有する第 1 の画素 T F T と、前記第 1 の信号電圧の絶対値との差が 0 V より大きく、0. 5 V より小さい絶対値の第 2 の信号電圧の電位を与える第 2 の画素電極を有する第 2 の画素 T F T とを検出し、前記第 1 の画素電極及び前記第 2 の画素電極に第 1 の信号電圧の電位を与える段階と、さらに前記第 2 の画素電極に第 2 の信号電圧の電位を与える段階とを設定する手段を有することを特徴とする液晶表示装置。

【請求項 1 4】

請求項 5 乃至 1 3 のいずれか一項の液晶表示装置の光源が、第 1 の発光色の光源、第 2 の発光色の光源及び第 3 の発光色の光源からなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、液晶表示装置の駆動方法に関する。液晶表示装置とは、基板間に挟持された液晶層に印加した電圧により、液晶層を通過する光の偏光状態、散乱状態又は波長特性が変わることを利用して、明暗の表示を行うものである。

【0 0 0 2】

本明細書において、薄膜トランジスタ (T F T) とは半導体層、ゲート電極、ソース電極及びドレイン電極を有する半導体素子を示す。

【0 0 0 3】

【従来の技術】

液晶表示装置は、軽量、低消費電力の点で携帯用途、パーソナルコンピュータ用途に広く用いられている。

【0 0 0 4】

液晶表示装置において、三原色である赤、緑、青の光源を順次発光色を変えて点灯させて、カラー表示を行うフィールドシーケンシャル方式が注目されている。フィールドシーケンシャル方式は、カラーフィルターが不用となるため、高精細な表示が期待される。

【0005】

フィールドシーケンシャル方式には、光源を順次、発光色を変えて連続的に点灯する方式が提案されている（月刊 FPD Intelligence プレスジャーナル 1999.7. p70-73）。この方式においては、光源の発光色が切り替わるときに、画面全体を黒レベルにして、それぞれの画素において、光源の混色を防止する必要がある。

【0006】

また、フィールドシーケンシャル方式には、液晶の応答が画面内で完了したのちに光源を点灯させる方式（カラー液晶ディスプレイ 産業図書 p127）が提案されている。この方式は、光源が間欠的に点灯するので、光源が非点灯のときに、完全な黒が達成できる。このため、CRT (cathode ray tube) の駆動方式であるインパルス方式が液晶表示装置においても達成でき、液晶表示装置に特有の残像を防止する手段として期待されている。

【0007】

【発明が解決しようとする課題】

発明が解決しようとする課題を以下に示す。

【0008】

なお、本明細書において、画素部に設けられた TFT を画素 TFT という。

【0009】

また、点順次駆動において、1行目の走査線を選択してからm行目の走査線を選択するまでにかかる時間を「走査線の走査時間」という。また、半導体層を活性化するために、走査線に所定の電位例えば、+8V～+11Vの電位を与えることを「走査線を選択する」という。走査線を選択する期間を「走査線選択期間」という。

【0010】

また、信号線を選択するとは、信号線に信号電圧の電位を与えることをいう。信号線の信号を画素 TFT に与えること、信号電圧を画素 TFT に書き込むことは、画素 TFT に接続した画素電極に信号電圧の電位を与えることと同一である。

## 【 0 0 1 1 】

また、画素電極に画像表示に必要な電位を与えることから始まり、一つの単色の画像を形成するまでの期間を「サブフレーム」、画素電極に画像表示に必要な電位を与えることから始まり、一つのカラー表示された画像を形成するまでの期間を「フレーム」という。

## 【 0 0 1 2 】

光源を間欠的に点灯するフィールドシーケンシャル方式の、タイミングチャートを図3に示す。フィールドシーケンシャル方式において1フレームの周期( $T$ )は16.6 msec、サブフレームの周期( $T/3$ )は5.5 msecである。

## 【 0 0 1 3 】

点順次駆動では、一本の走査線を選択して、ソースドライバーのシフトレジスターにより順次信号線を選択していくことで、選択された走査線及び信号線に接続した画素TFTの画素電極に信号電圧の電位を持たせる。サブフレームは待機期間301、走査線選択期間302、液晶応答期間303、光源の点灯期間304の四つに分けられる。待機期間は画素TFTに接続した走査線が選択されるまでの期間である。液晶応答期間は液晶が画素電極の電位に応じて応答する期間である。

## 【 0 0 1 4 】

走査線選択期間302に走査線が選択されて、走査線に接続した画素TFTの画素電極に順次、階調表示に必要な信号電圧の電位を与える。液晶応答期間303に、液晶の光学応答が終了する。光源の点灯期間304に、光源が間欠的に点灯し、第1の発光色305、第2の発光色306、第3の発光色307が順次、液晶表示装置に入射する。例えば、第1の発光色として赤色、第2の発光色として緑色、第3の発光色として青色を用いることができる。しかし、このように、間欠的に光源を点灯させたときに、一行目の走査線に接続した画素TFTと、 $m$ 行目の走査線に接続した画素TFTとで液晶応答期間303の時間が異なる。また、液晶の応答に時間がかかるときや、走査線の走査時間が長いときは、光源の点灯期間304が短くなり明るさが低下する。

## 【0015】

つまり、フィールドシーケンシャル方式で、重要な要素の一つとして挙げられるのが、液晶の応答時間である。液晶の応答時間が早いほど、光源の点灯期間を長くすることができる。

## 【0016】

さらに、フィールドシーケンシャル方式で、重要な要素として挙げられるのが走査線の走査時間である。走査線が1列～m列までであるとすると、走査時間が長くなると、走査線がm列目に近づくにつれて、画素電極に信号電圧の電位を与えてから光源が点灯するまでの時間が短くなり、液晶が応答しきらないうちに、光源が点灯することになる。階調レベルは光源が点灯しているときの液晶の光学応答による明るさの積分値で決まるため、液晶が応答しきらないうちに、光源が点灯すると、画面を表示するときの階調レベルが変わってしまう。

## 【0017】

また、走査線数が多いXGA（横1024画素×縦768画素）、SXGA（横1280画素×縦1024画素）の液晶表示装置では、走査線の走査時間がサブフレームに占める割合が無視できない。SXGAの液晶表示装置において、走査線の走査時間は1～2 msecと見積もられた。

## 【0018】

本明細書では、フィールドシーケンシャル方式による液晶表示装置の駆動にさいし、液晶の光学応答をより速く終了させることを課題とする。また、走査線の走査時間を短縮し、待機期間301がサブフレームに占める割合を減少することを課題とする。

## 【0019】

## 【課題を解決する手段】

本発明は、第1のサブフレームにおいて第1の信号電圧の電位を有する画素電極が第2のサブフレームにおいて第2の信号電圧の電位を有するときに、第1の信号電圧から第2の信号電圧へと電圧値が変化するときの液晶の応答時間を演算し、第2のサブフレームにおいて演算した液晶の応答時間の長い画素から順に、画素の画素電極に第2の信号電圧の電位を与えることを特徴とする。



## 【 0 0 2 0 】

本発明は、回路構成に第 1 のサブフレームにおいて画素電極に与える第 1 の信号電圧の電位を記憶する第 1 の手段と、第 2 のサブフレームにおいて画素電極に与える第 2 の信号電圧の電位を記憶する第 2 の手段と、第 1 の信号電圧から第 2 の信号電圧へと電圧値が変わるときの液晶の応答時間を演算する第 3 の手段と、演算した液晶の応答時間の長い画素の順に、画素の画素電極に第 2 の信号電圧を与える第 4 の手段とを有する。

## 【 0 0 2 1 】

フィールドシーケンシャル方式においては、単色の画像を形成する期間であるサブフレームと、サブフレームを連続的に三つ組み合わせてカラー化された画像を形成する期間であるフレームとからなる。ただし、サブフレームでもフレームでも画像を表示するための信号電圧を画素 T F T に書き込み、一画面を表示するという点では、同一である。そこで、上記サブフレームをフレームと置き換えることで本発明を、液晶表示装置を駆動し、一画面の画像を表示する方法に広く適用することも可能である。

## 【 0 0 2 2 】

点順次駆動では、一列目の走査線に接続した画素 T F T に接続した画素電極から m 列目の走査線に接続した画素 T F T を有する画素へと、順次画素を選択する。このため、m 列目の走査線に接続した画素において液晶の応答時間が長いと、フィールドシーケンシャル方式において、光源が点灯するまでに液晶が応答しきらないときがある。しかし、本発明によれば、第 1 のサブフレームから第 2 のサブフレームへと画像が変わることに伴って、液晶が応答するときに、液晶の応答時間がかかる画素を優先的に選択するため、図 3 のフィールドシーケンシャル方式のタイミングチャートにおいて、待機期間 3 0 1 と液晶応答期間 3 0 3 の和を短縮できる。

## 【 0 0 2 3 】

また、本発明は、同一の信号線に接続した同一の階調を表示する複数の画素 T F T の画素電極に同時に、同一の信号電圧の電位を与えることを特徴とする。複数の画素を同時に選択することにより、走査線の走査時間を短縮することができる

## 【 0 0 2 4 】

また、本発明は、信号線及び第 1 の走査線に接続した第 1 の画素 T F T に接続して設けられた第 1 の画素電極と、信号線及び第 2 の走査線に接続した第 2 の画素 T F T に接続して設けられた第 2 の画素電極とに、第 1 の信号電圧の電位を与える第 1 段階を有する。つまり、同一の信号線に接続した画素 T F T のうち、同時に複数の画素 T F T の画素電極に、同一の信号電圧の電位を与える。

## 【 0 0 2 5 】

次いで、点順次駆動において、第 1 の走査線から第 2 の走査線まで順次走査線を選択する第 2 段階を有する。

## 【 0 0 2 6 】

そして、信号線及び第 2 の走査線を選択し第 2 の画素電極に第 1 の信号電圧との絶対値の差が 0 V より大きく 0. 5 V より小さい第 2 の信号電圧の電位を与える第 3 段階を有する。

## 【 0 0 2 7 】

このようにして、第 1 段階で、第 2 の画素 T F T のドレイン電極に接続した第 2 の画素電極に第 1 の信号電圧の電位を与えてあらかじめ液晶を応答させておく。第 2 の画素電極は、第 1 の画素電極と近似した階調を表示する画素電極とする。近似した階調とは第 1 の画素電極に与える電圧の絶対値に対し、0 V より大きく 0. 5 V より小さい電圧の絶対値により表示される階調をいう。そして、第 3 段階で、第 2 の画素電極に、第 2 の信号電圧を与えて、正規の階調を表示するように液晶を応答させる。こうして液晶をあらかじめ応答させておくことで、第 2 の画素電極に第 2 の信号電圧の電位を与えたときに、表示画像の階調に応答するまでの応答時間を短縮できる。

## 【 0 0 2 8 】

もちろん液晶の焼付きを防止するために、同時に信号線の信号を書き込む第 1 の画素 T F T と第 2 の画素 T F T とは、あらかじめ極性が同じ電圧を書き込む予定の画素 T F T としても良い。

## 【 0 0 2 9 】

以上に示した、各発明は液晶表示装置の駆動方法として広く用いることができるが、特に光源が間欠的に点灯するフィールドシーケンシャル方式において有効である。各発明を組み合わせて用いることも可能である。画素TFTに信号電圧を書き込む順序がランダムであっても、信号電圧を画素TFTに書き込む間は光源が非点灯のため、ユーザーには視認されない。

## 【 0 0 3 0 】

## 【発明の実施の形態】

## [実施形態1]

本発明の回路構成を図1を用いて説明する。図1はi番目の列、及びj番目の行に配置されている画素のアドレスを(i, j) (iは1以上n以下の整数、jは1以上m以下の整数)と記載している。

## 【 0 0 3 1 】

まず、第1のサブフレームにおいて画素電極に与える第1の信号電圧の電位を記憶する第1の手段がある。第1の手段をその機能から第1の記憶手段101と称する。かつ、第2のサブフレームにおいて画素電極に与える第2の信号電圧の電位を記憶する第2の手段102がある。第2の手段をその機能から第2の記憶手段102と称する。

## 【 0 0 3 2 】

そして、同一の画素TFTにおいて、第1の信号電圧から第2の信号電圧へと電圧値が変わるときの液晶の応答時間を演算する第3の手段がある。第3の手段をその機能から比較演算手段103と称する。液晶の応答時間の演算は、液晶の粘度、回転粘性係数、弾性定数等の物性定数から応答時間の理論値を計算すると良い。また、液晶の応答時間と駆動電圧の関係を事前に比較演算手段に入力し、そのデータを参照しても良い。そして、演算された液晶の応答時間に従って、第2のサブフレームで画素TFTに信号線の信号を書き込む順序を決定する。

## 【 0 0 3 3 】

第1の信号電圧から第2の信号電圧へと信号電圧が変化するときの、液晶の応答時間を演算する。全ての画素においてその演算を行ったときの液晶の応答時間が、(2, 2)のアドレスの画素で一番長く、(2, 1)、(1, 1)、(1,

2) のアドレスの画素の順に応答時間が短くなるとする。つまり、4 個の画素のうち (1、2) のアドレスの画素が第 1 の信号電圧から第 2 の信号電圧へと信号電圧が変わるときの液晶の応答時間が一番短いとする。この場合は、第 2 のサブフレームの画像を表示するときに、画素 T F T に信号線の信号を書き込む順序は、(2、2)、(2、1)、(1、1)、(1、2) のアドレスの順にする。つまり、液晶の応答時間の長い画素の画素 T F T から順に、第 2 のサブフレームにおいて、信号線の信号を書き込むことにする。便宜的に、4 個の画素で説明をしたが、 $n \times m$  個の画素においても同じで、第 1 の信号電圧から第 2 の信号電圧へと信号電圧が変化するときの、液晶の応答時間が長い画素の画素 T F T から順に信号線の信号を書き込むようにする。複数の画素において液晶の応答時間が同じであるときは、画素が近接する順に画素 T F T に信号線の信号を書き込む。

## 【0034】

そして、比較演算データ記憶手段 104 に、第 2 のサブフレームにおいて画素 T F T に信号線の信号を書き込む順序を記憶する。

## 【0035】

そして、演算した液晶の応答時間の長い画素の順に、画素の画素電極に第 2 の信号電圧を与える第 4 の手段がある。本実施形態では、第 4 の手段は、X アドレスデコーダー 106、X アドレスデコーダーに接続した映像信号出力手段 108、Y アドレスデコーダー 105、Y アドレスデコーダーに接続したレベルシフター 107 からなる。

## 【0036】

第 4 の手段のうち、X アドレスデコーダー 106 と映像信号出力手段 108 とを合わせて、比較演算データ記憶手段 104 から出力される X アドレスデータに基づいて、画素 T F T に接続した信号線を選択する機能がある。また、Y アドレスデコーダー 105 とレベルシフター 107 とを合わせて、比較演算データ記憶手段 104 から出力される Y アドレスデータに基づいて、画素 T F T に接続した走査線を選択する機能がある。

## 【0037】

Y アドレスデコーダー 105 により、比較演算データ記憶手段 104 から出力

される Y アドレスデータに基づいて、信号線の信号を書き込む画素 T F T の走査線のアドレスが指定される。S X G A (横 1 2 8 0 × 縦 1 0 2 4) の画素数のときは、Y アドレスデコーダーの入力端子を画素数に合わせて 1 0 本にすれば良い。Y アドレスデコーダーの出力端子のうち、Y アドレスデータにより指定された Y アドレスを有する出力端子から、出力パルスが出力される。そして、レベルシフター 1 0 7 により、出力パルスの電圧が増幅されて、ゲートパルスが、指定された Y アドレスを有する走査線に出力される。

#### 【 0 0 3 8 】

また、X アドレスデコーダー 1 0 6 により信号電圧の電位を与える信号線が指定される。S X G A (横 1 2 8 0 × 縦 1 0 2 4) の画素数のときは、X アドレスデコーダーの入力端子を画素数に合わせて 1 1 本にすれば良い。X アドレスデコーダー 1 0 6 によって指定された X アドレスの出力端子から出力パルスが出力して、映像信号出力手段 1 0 8 に入力する。そして、タイミングパルスの立ち下がりのタイミングと同期して指定された X アドレスの信号線に映像信号を入力し、信号線に信号電圧の電位を与える。映像信号 1 1 9 に関しては、外部回路により映像信号が画素 T F T に書き込まれる順序が決定されて、映像信号出力手段 1 0 8 に入力する。

#### 【 0 0 3 9 】

こうして、比較演算データ記憶手段 1 0 4 によって記憶された順序に従って、画素 T F T 1 1 8 に順次信号線の信号を書き込み、第 2 のサブフレームの画像を形成する。

#### 【 0 0 4 0 】

図 2 を用いて、回路の動作を説明する。第 1 のサブフレーム～第 3 のサブフレームにおいて表示された画像を合わせることで、カラー表示された画像が第 1 のフレームにおいて表示される。準備期間 9 1 2 には、まず、第 1 の記憶手段に第 1 のサブフレームの画素 T F T のアドレスとその画素 T F T に書き込む第 1 の信号電圧を記憶させる第 1 の期間 9 0 0 がある。次に、比較演算手段において、第 1 のサブフレームの画像を形成するとき、それぞれの画素における液晶の応答時間を算出する第 2 の期間 9 0 1 がある。最後に、比較演算手段のデータを比較

演算データ記憶手段に移動する第3の期間902がある。

【0041】

第1のサブフレームにおいては、信号線の信号を画素TFTに書き込む期間903がある。次に、書き込まれた第1の信号電圧に応じて液晶が応答する液晶応答期間904がある。そして、光源が点灯する期間905がある。第1のサブフレームにおいて光源が発光する第1の発光色は加法混色の三原色のうち例えば赤色とすることが可能である。

【0042】

第1のサブフレームにおいて、並列して、第2のサブフレームの画像を形成するために、画素TFTに第2の信号電圧を書き込む順序を決定する。まず、第4の期間906において、第1の記憶手段に第1のサブフレームのXアドレス、Yアドレスにおける第1の信号電圧を記憶し、かつ、第2の記憶手段に第2のサブフレームのXアドレス、Yアドレスにおける第2の信号電圧を記憶する。次に、第5の期間907において、比較演算手段において、第1の信号電圧から、第2の信号電圧へと信号電圧が変わるときの液晶の応答時間を演算し、その演算結果から画素を選択する順序を決定する。そして、第6の期間908において、比較演算手段のデータを比較演算データ記憶手段に移動する。

【0043】

次いで、第2のサブフレームにおいて、第2のサブフレームの画素データの書き込み期間909、液晶応答期間910、光源が点灯する期間911がある。光源が発光する第2の発光色は例えば緑色とすることが可能である。

【0044】

第2のサブフレームに準じた回路動作で、第3のサブフレームの画像を形成する。第3のサブフレームにおいて、光源が発光する第3の発光色は例えば青色とすることが可能である。こうして第1フレームにおいてカラー表示する画像が形成される。以上の操作を連続して繰り返すことにより、カラー化された画像からなる動画表示ができる。

【0045】

つまり、図7のフィールドシーケンシャル方式のタイミングチャートを用いて

説明すると、本発明により、サブフレームにおいて、待機期間 3 0 1 と液晶応答期間 3 0 3 との和を短くすることができる。これにより光源の点灯期間 3 0 4 を長くすることができる。また、光源が間欠的に点灯するフィールドシーケンシャル方式のカラー表示の方法と本実施形態を組み合わせると、画素を選択する順番がランダムであっても、液晶が応答する期間は光源が非点灯のためユーザーに認識されないですむ。

## 【 0 0 4 6 】

図 3 に、Y アドレス書き込み制御手段 1 0 9 のタイミングチャートを示す。レベルシフターと Y アドレスデコーダーからなる駆動回路を Y アドレス書き込み制御手段と称する。Y アドレス書き込み制御手段は画素 T F T に接続した走査線を選択する手段である。

## 【 0 0 4 7 】

Y アドレス書き込み制御手段のタイミングチャート 1 0 9 を説明すると、まず、Y アドレスデータ 1 1 1 が Y アドレスデコーダーの入力端子に入力する。そして、Y アドレスデータが指定した Y アドレスデコーダーの Y アドレスを有する出力端子から、出力パルス 1 1 2 が出力される。出力パルス 1 1 2 はレベルシフターにより電圧値が増幅されて、ゲートパルス 1 1 7 に変換される。そして、ゲートパルスは指定された Y アドレスの走査線に出力される。こうして液晶の応答時間が長くなる画素の画素 T F T に接続した走査線が優先的に選択される。第 1 のサブフレームにおいて、第 1 の信号電圧を書き込む画素 T F T の順序に従って、出力パルス 1 1 2 ～ 1 1 5 が指定された Y アドレスに順次出力される。出力パルスはシフトレジスターによりゲートパルス 1 1 8 ～ 1 2 0 に変換され、走査線が選択される。第 2 のサブフレームでは、第 1 のサブフレームと同様に、出力パルス 1 1 6 がゲートパルス 1 2 1 に変換され、始めに、液晶の応答時間が長くなる画素の画素 T F T に接続した走査線が選択される。以降、これに準じたタイミングで画像の形成を繰り返す。

## 【 0 0 4 8 】

図 4 に、X アドレス書き込み制御手段 1 1 0 のタイミングチャートを示す。X アドレスデコーダーと映像信号出力回路からなる駆動回路を X アドレス書き込み

制御手段と称する。Xアドレス書き込み制御手段は画素T F Tに接続した信号線を選択する手段である。

#### 【0049】

Xアドレス書き込み制御手段のタイミングチャート110を説明すると、まず、信号線を選択する順序を示すXアドレスデータ122がXアドレスデコーダーの入力端子に入力される。そして、出力パルス123～126が、Xアドレスデコーダーの出力端子のうち、Xアドレスデータ122により指定されたXアドレスの出力端子から、出力される。タイミングパルス128の立ち下がりのタイミングと同期して、指定されたXアドレスの信号線に映像信号129が入力されて、信号線に信号電圧の電位を与える。第2のサブフレームにおいても第1のサブフレームと同様に、液晶の応答時間が一番長い画素の画素T F Tに接続した信号線を優先的に選択する。以降、これに準じたタイミングを繰り返す。

#### 【0050】

##### [実施形態2]

本発明の実施の形態を図5に示す。図5において特徴的なことは、複数のアドレスデコーダーつまり、第1のYアドレスデコーダー及び第2のYアドレスデコーダーを設けていることである。図5はi番目の列、及びj番目の行に配置されている画素のアドレスを(i、j) (iは1以上n以下の整数、jは1以上m以下の整数)と記載している。

#### 【0051】

まず、記憶手段201に第1のサブフレームのXアドレス、Yアドレスにおける信号電圧のデータを記憶する。Yアドレスは信号線のアドレスを示す。Xアドレスは走査線のアドレスを示す。

#### 【0052】

そして、同一の信号線に接続した同一の階調を表示する画素T F Tを検出する第1の手段により、同一のXアドレスの信号線に接続した複数の画素T F T 210において、同じ信号電圧で表示をする画素の画素T F Tに、同時に信号線の信号を書き込むようにプログラムを組む。本実施形態では、第1の手段をその機能から比較手段202と称する。例えば、第1フレームにおいて、Xアドレスが1



の信号線に接続した画素T F Tのうち、Yアドレスが1、1 0及びmの画素が同じ信号電圧で表示を行うため、(1、1)、(1、1 0)及び(1、m)のアドレスの画素T F Tが比較手段により検出されたとする。本実施形態では、説明を簡便にするため、最大二つの画素T F Tと同時に同一の信号電圧を書き込むこととする。また、(1、1)のアドレスの画素T F Tと同時に、信号線の信号を書き込む画素T F Tは、残り二つの画素のうち、Yアドレスがより大きい(1、m)のアドレスの画素T F Tとする。点順次駆動において、Yアドレスの値が大きな画素T F Tほど、画素T F Tに信号線の信号を書き込む時間が遅くなりフィールドシーケンシャル方式において、図3の待機時間3 0 1が長くなる傾向があるため、Yアドレスの値が大きな画素T F Tを優先的に選択するためである。もちろん、二つの画素T F Tと同時に信号線の信号を書き込むだけでなく、3つの画素T F Tと同時に信号線の信号を書き込むことも、駆動回路の設計を変更することで可能となる。

## 【0 0 5 3】

次に、比較データ記憶手段2 0 3に、比較手段2 0 2で決定した、画素に信号線の信号を書き込む順序を記憶させる。

## 【0 0 5 4】

画素T F Tの画素電極に同時に信号電圧の電位を与える第2の手段がある。第2の手段は、本実施形態において、Xアドレスデコーダー2 0 4、映像信号出力手段2 0 5、第1のYアドレスデコーダー2 0 6及び第2のYアドレスデコーダー2 0 8、第1のレベルシフター2 0 7及び第2のレベルシフター2 0 9からなる。

## 【0 0 5 5】

Xアドレスデコーダー2 0 4は比較データ記憶手段から出力されるXアドレスデータに基づいて、信号線のアドレスを選択する手段である。第1のYアドレスデコーダー2 0 6及び第2のYアドレスデコーダー2 0 8は比較データ記憶手段から出力されるYアドレスデータに基づいて、走査線のアドレスを選択する手段である。

## 【0 0 5 6】

第1のXアドレスデコーダー204は、比較データ記憶手段203から出力されたXアドレスデータをもとに、Xアドレスデコーダーの指定されたXアドレスの出力端子に出力パルスを出力する。図示してはいないが、SXGAの画素数である液晶表示手段のときは、Xアドレスデコーダーの入力端子は11本であり、出力端子は1280本である。Xアドレスデコーダーより信号電圧の電位を与える信号線のXアドレスが指定される。ここでXアドレスとして1を指定することとする。

## 【0057】

映像信号出力手段205は、Xアドレスデータが指定したXアドレスの信号線に映像信号を供給する。映像信号211は、外部回路により、映像信号の順序が決定され、その順序に従って映像信号出力手段に入力される。

## 【0058】

第1のYアドレスデコーダー206は、比較データ記憶手段203から出力されたYアドレスデータをもとに、Yアドレスデコーダーの指定されたYアドレスの出力端子から出力パルスが出力される。図示してはいないが、SXGAの画素数である液晶表示手段のときは、Yアドレスデコーダーの入力端子は10本であり、出力端子は1024本である。第1のYアドレスデコーダーのYアドレスが1である出力端子から、出力パルスが出力されたとする。第2のYアドレスデコーダー208のYアドレスがmである出力端子から出力パルスが出力されたとする。

## 【0059】

第1のYアドレスデコーダーに接続した第1のレベルシフター207及び第2のYアドレスデコーダーに接続した第2のレベルシフター209は出力パルスの電圧を増幅して、ゲート電圧を有するゲートパルスにする。

## 【0060】

第1のYアドレスデコーダー、第2のYアドレスデコーダー、Xアドレスデコーダーにより指定されたアドレスの走査線及び信号線が選択されることにより、画素TF T 210のうち、(1, 1)及び(1, m)のアドレスを有する画素TF Tが選択され、信号線の信号が書き込まれる。こうして、順次画素TF TのA

ドレスを指定して、画素T F Tに信号線の信号を書き込む。本実施形態では、最大2つの画素T F Tに同時に信号線の信号を書き込むことができるため、画素T F Tに信号線の信号を与える時間の総和、つまり、走査線の走査時間を短縮することができる。

## 【 0 0 6 1 】

図2を用いて、回路の動作を説明する。第1の期間900においては、準備期間908において、記憶手段に第1フレームのXアドレス、Yアドレスにおける信号電圧のデータを入力する第1の期間900がある。そして、比較手段において、同一の信号線に接続した画素T F Tにおいて、同じ信号電圧を書き込む画素T F Tを検出して、それらの画素T F TのYアドレスを確認する第2の期間901がある。比較手段で決定した画素T F Tに信号線の信号を与える順序を比較データ記憶手段に書き込む第3の期間902がある。

## 【 0 0 6 2 】

第1のサブフレームにおいては、画素T F Tに画像を表示するために信号線の信号を画素T F Tに書き込む期間903がある。次に、液晶が書き込まれた第1の信号電圧に応じて応答する液晶応答期間904がある。そして、光源が点灯する期間905がある。第1のサブフレームにおいて光源が発光する第1の発光色は加法混色の三原色のうち例えば赤色とすることが可能である。

## 【 0 0 6 3 】

第1のサブフレームにおいて、並列に、第2のサブフレームのXアドレス、Yアドレスにおける信号電圧のデータを入力する第4の期間906、第2のサブフレームにおいて同時に信号線の信号を書き込む画素T F Tのアドレスを比較手段で検出する第5の期間907、比較手段で決定した信号線の信号の書き込みの順序を比較データ記憶手段に書き込む第6の期間908がある。

## 【 0 0 6 4 】

以降、同様にして、第2のサブフレームにおいて、画素T F Tに信号線の信号を与える動作から始め、光源が点灯することにより単色の画像が形成される。光源が発光する第2の発光色は緑色とすることが可能である。第2のサブフレームにおいて、並列に、第3のサブフレームの画像を形成するために、画素T F Tに

信号電圧を書き込む順序を決定する、第4の期間～第6の期間に準じた回路の動作がある。そして、第3のサブフレームの光源の点灯期間に単色の画像が表示される。光源が発光する第3の発光色は青色とすることが可能である。このようにして第1フレームにおいてカラー化された画像が形成される。以降、順次、同様の操作を繰り返して、動画表示をする。

## 【0065】

同一の信号線に接続した同一の階調を表示する複数の画素TFTに同時に、信号線の信号を書き込むことにより、走査線の走査時間を短縮した駆動方法で、動画表示の画像が形成される。

## 【0066】

図5においては、走査線の両端に接続した駆動回路に内蔵して、第1のYアドレスデコーダーと第2のYアドレスデコーダーを設けたため、同時に同一の信号電圧の電位を持たせる画素の数は最大二つであった。しかし、本発明の実施形態はこれに限定されない。回路構成を変更することにより、同一の信号配線に接続した画素TFTのうち、同一の信号電圧の電位を与える画素TFTを三つ以上選択することもできる。このときは、図4において、第1のYアドレスデコーダー206、第2のYアドレスデコーダー208を設ける替わりに、複数の走査線を選択可能な回路（走査線選択回路と称する）を、比較データ記憶手段203と第1のレベルシフター207の間に設けて、走査線選択回路により、三つ以上の走査線を同時に選択すれば良い。このときは、第2のレベルシフター209は当然必要ない。

## 【0067】

本実施形態によれば、点順次駆動において、画素に所定の信号電圧の電位を与えるのに必要な走査線の走査時間を短縮することができる。例えば、図7のタイミングチャートを用いて説明すると、待機期間301及び液晶応答期間303の和を短縮することができる。また、実施形態1に比べて、図1の応答時間を演算する比較演算手段102が不要になるため、回路構成が簡便になる。

## 【0068】

図4を用いて本実施形態の回路のタイミングチャートを説明する。Xアドレス

デコーダー及び映像信号出力手段を合わせて、本明細書では、Xアドレス書き込み制御手段と称する。Xアドレス書き込み制御手段は画素TFTに接続した走査線を選択する手段である。

Xアドレスデータ122に基づいて、Xアドレスデコーダーの出力端子のうち、指定されたXアドレスの出力端子から、出力パルス123が出力される。本実施形態では、信号線の1列目～n列目まで、順次出力パルスを出力すれば良い。タイミングパルス128の立下りに同期して映像信号パルス129が、指定されたXアドレスの信号線に出力される。以上の動作によりXアドレスデータが指定したXアドレスの信号線に信号が与えられる。信号線がn列あると、出力パルス123が2列目の信号線を選択し、出力パルス124～出力パルス126で(n-2)列分の信号線を選択することになる。

#### 【0069】

第1のYアドレスデコーダー及び第1のレベルシフターを合わせて、本明細書では、第1のYアドレス書き込み制御手段と称する。第2のYアドレスデコーダー及び第2のレベルシフターを合わせて、本明細書では、第2のYアドレス書き込み制御手段と称する。第1のYアドレス書き込み制御手段及び第2のYアドレス書き込み制御手段は画素TFTに接続した信号線を選択する手段である。第1のYアドレスデコーダー、第2のYアドレスデコーダーから出力される出力パルスの電圧を第1のレベルシフター又は第2のレベルシフターにより増幅する点は実施形態1と同じのため、図6を用いて、第1のYアドレスデコーダー及び第2のYアドレスデコーダーの動作を説明する。

#### 【0070】

第1のサブフレームにおいて、Yアドレスデータ212に基づいて、第1のYアドレスデコーダーの指定されたYアドレスの出力端子から、出力パルス213が出力する。本実施形態では、まず、一列目の第1の走査線を選択するため、Yアドレスが1である出力端子から出力パルスが出力する。第1のYアドレスデコーダー223から出力される出力パルス213～216の総数は、走査線がm列あったときに、回路動作からmより少なくなる。

#### 【0071】

そして、第1の走査線に接続した第1の画素TFTと同一の信号線の信号を書き込む第2の画素TFTがあるのならば、第2の画素TFTが接続した第2の走査線のYアドレスを選択するために、第2のYアドレスデコーダーの第2の走査線のアドレスに対応した出力端子から出力パルス218が出力される。第2のYアドレスデコーダー224から出力される出力パルス218～220は、信号線の信号を同時に書き込む画素TFTがあったときのみ出力される。

【0072】

以降、同様に、信号線の信号を同時に書き込む画素TFTが二つあるときは、第1のYアドレスデコーダー及び第2のYアドレスデコーダーから同時に出力パルスが出て、走査線を選択する。

【0073】

[実施形態3]

本発明の実施形態を図4を用いて説明する。本実施形態において特徴的なことは、同一の信号線に接続した複数の画素TFTつまり、第1の画素TFTと第2の画素TFTに同時に第1の信号電圧を書き込むことである。実施形態2との違いは、第2の画素TFTに第1の信号電圧を印可した後に、さらに、第2の信号電圧を書き込むことである。このように二度に分けて液晶を応答させることで、第2の信号電圧を第2の画素TFTに書き込んだ後、液晶が応答する時間を短縮することができる。第1の信号電圧の絶対値と第2の信号電圧の絶対値との差は0Vより大きく0.5Vより小さいとする。また、以降、近似した階調とは、液晶に印可する第1の信号電圧と第2の信号電圧との差が0Vより大きく0.5Vより小さい範囲で表示できる階調をいう。

【0074】

まず、記憶手段201に第1のサブフレームのXアドレス、Yアドレスにおける信号電圧を記憶する。

【0075】

そして、比較手段202で、一つの画面の画像を表示するときに、信号線に接続した複数の画素TFTのうち、第1の信号電圧の電位を与える第1の画素電極を有する第1の画素TFTと、第1の信号電圧の絶対値との差が0Vより大きく

、0.5Vより小さい絶対値の第2の信号電圧の電位を与える第2の画素電極を有する第2の画素TFTとを検出する。そして、第1の画素電極及び第2の画素電極に第1の信号電圧の電位を与え、その後、第2の画素電極に第2の信号電圧の電位を与えるようにプログラムを組む。第2の画素TFTは表示したい画像に応じて、複数のときもあれば、単数のときもある。

## 【0076】

実施形態2に比べ本実施形態の駆動方法では、信号線に接続した画素TFTのうち、第1の画素TFTと同一の信号電圧を書き込む画素がなかったとしても、信号線及び第1の走査線に接続した第1の画素TFTを有する第1の画素と、信号線及び第2の走査線に接続した第2の画素TFTを有する第2の画素とが近似した階調レベルを表示するときは、第1の画素TFTと、第2の画素とに第1の信号電圧を書き込む第1段階を有する。本実施形態においては、第1段階において、同時に同一の信号線の信号を書き込む画素は最大で2つとする。かつ、点順次駆動において、Xアドレスの値が大きな走査線に接続した画素ほど、画素に所定の信号電圧の電位を与える時間が遅くなり、図3の待機時間301が長くなる傾向があるため、Xアドレスの値がより大きな走査線に接続した画素を優先的に選択することとする。

## 【0077】

次に、本実施形態の駆動方法の第2段階として、第1の走査線から第2の走査線まで順次走査線を選択して、画素に信号線の信号を書き込む。もちろん、第1の走査線から第2の走査線を選択する間に、同一の信号線に接続した二つの画素TFTが近似した階調を示すときには、これら二つの画素TFTに同時に信号線の信号を書きこんでも良い。

## 【0078】

その後、本実施形態の駆動方法の第3段階として、第1の信号電圧を書き込んだ第2の画素TFTに再度、正規の階調レベルの第2の信号電圧を書き込む。第2の信号電圧は第1の信号電圧の絶対値との差が0Vより大きく0.5Vより小さい。

## 【0079】

こうして、画素に信号線の信号を書き込む順序を比較手段 2 0 2 で決定する。

【 0 0 8 0 】

つまり、本実施形態の駆動方法の特徴は、第 1 の画素と近似した階調レベルを表示する第 2 の画素に、あらかじめ第 1 の画素 T F T と同時に信号線の信号を書き込んで液晶を応答させておく。これにより、再度第 2 の信号電圧を第 2 の画素 T F T に書き込むまでの時間に、液晶が近似した階調レベルまで応答しているので、第 2 の信号電圧を書き込んだ後、第 2 の信号電圧により決められる階調に液晶が応答するまでの応答時間が短縮される。

【 0 0 8 1 】

次に、比較データ記憶手段 2 0 3 に、比較手段 2 0 2 で決定した、信号線の信号を書き込む画素 T F T の順序を記憶させる。

【 0 0 8 2 】

X アドレスデコーダー 2 0 4 により信号線のアドレスを指定し、映像信号出力手段 2 0 5 により、指定した信号線の X アドレスに映像信号 2 1 1 を供給する。映像信号は選択する画素の順序に従って映像信号出力手段に入力される。

【 0 0 8 3 】

出力された Y アドレスデータをもとに、第 1 の Y アドレスデコーダー 2 0 6 により、指定された Y アドレスデコーダーの出力端子に出力パルスを出力する。第 1 のレベルシフター 2 0 7 は、第 1 の Y アドレスデコーダーから出力される出力パルスの電圧値を増幅して、第 1 の走査線をゲート電位にする。

【 0 0 8 4 】

第 2 の Y アドレスデコーダー 2 0 8 及び第 2 のレベルシフター 2 0 9 により、第 2 の走査線がゲート電位になる。

【 0 0 8 5 】

こうして信号線と第 1 の走査線に接続した第 1 の画素 T F T 及び、信号線と第 2 の走査線に接続した第 2 の画素 T F T に同時に、同一の信号電圧の電位が与えられる。

【 0 0 8 6 】

本実施形態の回路の動作は実施形態 2 で図 2 を用いて説明したものとほぼ同じ



である。異なる点は、第 2 の期間 9 0 1 において、比較手段において、第 1 のサブフレームの画像を形成するとき、同一の信号線に接続した近似した階調を表示する画素のアドレスを検出することである。

#### 【 0 0 8 7 】

もちろん、回路構成を変更することにより、同一信号配線に接続した、同一又は近似する階調レベルを表示する画素 T F T を同時に三つ以上選択することもできる。

#### 【 0 0 8 8 】

本実施形態によれば、近似した階調レベルを示す画素の液晶をあらかじめ応答させることにより、図 7 のフィールドシーケンシャル方式のタイミングチャートにおいて液晶の応答時間 3 0 3 と待機時間 3 0 1 の和を短縮することができる。

#### 【 0 0 8 9 】

本実施形態は実施形態 1 ～実施形態 2 と組み合わせて用いることも可能である。応答時間のかかる画素の画素 T F T に優先的に信号線の信号を書き込むこともできるし、同一又は、近似した階調を示す画素の画素 T F T に同時に信号線の信号を書き込むことも可能である。

#### 【 0 0 9 0 】

##### 【実施例】

##### 〔実施例 1〕

本発明の実施例を図 8 ～図 1 1 を用いて説明する。ここでは、画素部の画素 T F T および保持容量と、表示領域の周辺に設けられる駆動回路の T F T を同時に作製する方法について工程に従って詳細に説明する。本実施例作製した駆動回路の T F T は、半導体層の移動度が高く、フィールドシーケンシャル方式における高速の画素データの書き込みに適している。

#### 【 0 0 9 1 】

本実施例では、画素部のスイッチング素子である画素 T F T と、画素部の周辺に設けられる駆動回路（信号線駆動回路、走査線駆動回路等）の T F T を同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路である C M O S 回路を、画素部の画素 T

FTにはnチャネル型TFTとを、ある経路に沿った断面により図示することにする。

#### 【0092】

まず、図8(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板400上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜401を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜401aを10～200nm（好ましくは50～100nm）形成し、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化シリコン膜401bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

#### 【0093】

島状半導体膜402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体膜402～406の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

#### 【0094】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、 $\text{YVO}_4$ レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>（代表的には200～300mJ/cm<sup>2</sup>）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>（代表的には350～500mJ/cm<sup>2</sup>）すると良い。

そして幅  $100 \sim 1000 \mu\text{m}$ 、例えば  $400 \mu\text{m}$  で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を  $80 \sim 98\%$  として行う。

## 【0095】

次いで、島状半導体膜 402～406 を覆うゲート絶縁膜 407 を形成する。ゲート絶縁膜 407 はプラズマ CVD 法またはスパッタ法を用い、厚さを  $40 \sim 150 \text{ nm}$  としてシリコンを含む絶縁膜で形成する。本実施例では、 $120 \text{ nm}$  の厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Ortho Silicate) と  $\text{O}_2$  とを混合し、反応圧力  $40 \text{ Pa}$ 、基板温度  $300 \sim 400^\circ\text{C}$  とし、高周波 ( $13.56 \text{ MHz}$ ) 電力密度  $0.5 \sim 0.8 \text{ W/cm}^2$  で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後  $400 \sim 500^\circ\text{C}$  の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

## 【0096】

そして、ゲート絶縁膜 407 上にゲート電極を形成するための第 1 の導電膜 408 と第 2 の導電膜 409 とを形成する。本実施例では、第 1 の導電膜 408 を TaN で  $50 \sim 100 \text{ nm}$  の厚さに形成し、第 2 の導電膜 409 を W で  $100 \sim 300 \text{ nm}$  の厚さに形成する。

## 【0097】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン ( $\text{WF}_6$ ) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は  $20 \mu\Omega\text{cm}$  以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度  $99.9999\%$  の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率

9 ~ 2 0  $\mu\Omega\text{cm}$ を実現することができる。

【0098】

なお、本実施例では、第1の導電膜408をTa<sub>2</sub>N<sub>5</sub>、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜をタンタル(Ta)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(Ta<sub>2</sub>N<sub>5</sub>)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(Ta<sub>2</sub>N<sub>5</sub>)で形成し、第2の導電膜をCuとする組み合わせなどがある。

【0099】

次に、レジストによるマスク410~417を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスを混合し、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。エッチングガスを適宜選択することによりW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。

【0100】

上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ部の角度が15~45°のテーパ形状となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4 (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層419~425 (第1の導電層419a~425aと第2の

導電層 4 1 9 b ~ 4 2 5 b) を形成する。4 1 8 はゲート絶縁膜であり、第 1 の形状の導電層 4 1 9 ~ 4 2 5 で覆われない領域は 2 0 ~ 5 0 nm 程度エッチングされ薄くなった領域が形成される。

#### 【 0 1 0 1 】

そして、第 1 のドーピング処理を行い、n 型を付与する不純物元素を添加する。(図 8 (B)) ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$  とし、加速電圧を 6 0 ~ 1 0 0 k e V として行う。n 型を付与する不純物元素として 1 5 族に属する元素、典型的にはリン (P) または砒素 (A s) を用いるが、ここではリン (P) を用いる。この場合、導電層 4 1 9 ~ 4 2 3 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 4 2 7 ~ 4 3 0 が形成される。第 1 の不純物領域 4 2 7 ~ 4 3 0 には  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加する。

#### 【 0 1 0 2 】

次に、図 8 (C) に示すように第 2 のエッチング処理を行う。ICP エッチング法を用い、反応性ガスをチャンバーに導入して、コイル型の電極に所定の R F 電力 (13.56MHz) を供給し、プラズマを生成して行う。基板側 (試料ステージ) には低めの R F (13.56MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。W 膜を異方性エッチングして第 2 の形状の導電層 4 9 4 ~ 4 9 9 を得る。

#### 【 0 1 0 3 】

さらに、図 8 (C) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として n 型を付与する不純物元素をドーピングする。例えば、加速電圧を 7 0 ~ 1 2 0 k e V とし、 $1 \times 10^{13} / \text{cm}^2$  のドーズ量で行い、図 8 (B) で島状半導体膜に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第 2 の形状の導電層 4 9 4 ~ 4 9 8 を不純物元素に対するマスクとして用い、第 1 の導電層 4 9 4 a ~ 4 9 8 a の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第 1 の導電層 4 9 4 a ~ 4 9 8 a と重なる第 2 の不純物領

域 6 0 8 ~ 6 1 2 を形成する。n 型を付与する不純物元素は、第 2 の不純物領域で  $1 \times 10^{17} \sim 1 \times 10^{18}$  atomic/cm<sup>3</sup> の濃度となるようにする。

## 【 0 1 0 4 】

図 9 (A) のように、ゲート絶縁膜 4 3 2 をエッチングすることで同時に第 1 の導電層である TaN がエッチングされて後退するので第 3 の形状の導電層 4 3 3 ~ 4 3 8 (第 1 の導電層 4 3 3 a ~ 4 3 8 a と第 2 の導電層 4 3 3 b ~ 4 3 8 b) を形成する。4 3 2 はゲート絶縁膜であり第 3 の形状の導電層 4 3 3 ~ 4 3 8 で覆われない領域はさらに 2 0 ~ 5 0 nm 程度エッチングされ薄くなった領域が形成される。

## 【 0 1 0 5 】

図 9 (A) において、第 1 の導電層 4 3 3 a ~ 4 3 7 a と重なる第 3 の不純物領域 6 0 0 ~ 6 0 3 と、第 3 の不純物領域の外側にある第 4 の不純物領域 6 0 4 ~ 6 0 7 が形成される。これにより第 3 の不純物領域及び第 4 の不純物領域における n 型を付与する不純物元素の濃度は第 2 の不純物領域における n 型を付与する不純物元素の濃度とほぼ等しくなる。

## 【 0 1 0 6 】

そして、図 9 (B) に示すように、p チャネル型 TFT を形成する島状半導体膜 4 0 3 に一導電型とは逆の導電型の第 4 の不純物領域 4 5 4 ~ 4 5 6 を形成する。第 3 の形状の導電層 4 3 4 を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 TFT を形成する島状半導体膜 4 0 2、4 0 4、4 0 5、4 0 6 はレジストマスク 4 5 1 ~ 4 5 3 で全面を被覆しておく。不純物領域 4 5 5 ~ 4 5 6 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B<sub>2</sub>H<sub>6</sub>) を用いたイオンドープ法により、そのいずれの領域においても不純物濃度を  $2 \times 10^{20} \sim 2 \times 10^{21}$  atoms/cm<sup>3</sup> となるようにする。

## 【 0 1 0 7 】

以上の工程により、それぞれの島状半導体膜に不純物領域が形成される。島状半導体膜と重なる導電層 4 3 3 ~ 4 3 7 が TFT のゲート電極として機能する。また、4 3 7 は容量配線、4 3 8 は駆動回路内の配線として機能する。

## 【0108】

こうして導電型の制御を目的として図9 (C) に示すように、それぞれの島状半導体膜に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA法) を適用することができる。熱アニール法では酸素濃度が1 p p m以下、好ましくは0. 1 p p m以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、433～438に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

## 【0109】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

## 【0110】

そして、図10のように、第1の層間絶縁膜472を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜473としてアクリル樹脂膜又はポリイミド樹脂膜を1. 8  $\mu$ mの厚さで形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

## 【0111】

次に、導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti膜を50～150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム (Al) を300～400nmの厚さで形成し、さらにTi膜または窒化チタン (TiN) 膜を100～200nmの厚さで形成して3層構造とした。

## 【0112】

そして、駆動回路部において島状半導体膜のソース領域とコンタクトを形成するソース配線474～476、ドレイン領域とコンタクトを形成するドレイン配線477～479を形成する。

## 【0113】

また、画素部においては、接続電極480、ゲート配線481、ドレイン電極482、第2の電極492を形成する。

## 【0114】

接続電極480は、ソース配線483と第1の半導体膜484と電氣的に接続する。図示してはいないが、ゲート配線481は第1の電極485とコンタクトホールにより電氣的に接続する。ドレイン電極482は第1の半導体膜484のドレイン領域と電氣的に接続する。第2の電極492は第2の半導体膜493と電氣的に接続し、第2の半導体膜493を保持容量505の電極として機能させる。

## 【0115】

その後、透明導電膜を全面に形成し、フォトリソを用いたパターニング処理およびエッチング処理により画素電極491を形成する。画素電極491は、第2の層間絶縁膜473上に形成され、画素TFTのドレイン電極482、第2の電極492と重なる部分を設け、接続構造を形成している。

## 【0116】

透明導電膜の材料は、酸化インジウム ( $\text{In}_2\text{O}_3$ ) や酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3-\text{SnO}_2$ ; ITO) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3-\text{ZnO}$ ) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン電極482の端面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛 ( $\text{ZnO}$ ) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ( $\text{ZnO}:\text{Ga}$ ) などを用いることができる。



## 【 0 1 1 7 】

このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

## 【 0 1 1 8 】

以上のようにして、nチャネル型TFT501、pチャネル型TFT502、nチャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

## 【 0 1 1 9 】

駆動回路部のnチャネル型TFT501はチャネル形成領域468、ゲート電極を形成する導電層433と重なる第3の不純物領域441（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域446（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域427を有している。pチャネル型TFT502にはチャネル形成領域469、ゲート電極を形成する導電層434と重なる第5の不純物領域456、ソース領域またはドレイン領域として機能する第6の不純物領域455を有している。nチャネル型TFT503にはチャネル形成領域470、ゲート電極を形成する導電層435と重なる第3の不純物領域443（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域448（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域429を有している。

## 【 0 1 2 0 】

画素部の画素TFT504にはチャネル形成領域471、ゲート電極を形成する導電層436と重なる第3の不純物領域444（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域449（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域430を有している。また、保持容量505の一方の電極として機能する半導体膜430にはn型を付与する不純物元素が添加されている。容量配線437とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。

## 【 0 1 2 1 】

図 1 1 の上面図を鎖線 A-A'、鎖線 B-B' で切断した断面が、図 1 0 の鎖線 A-A'、鎖線 B-B' で切断された断面に対応する。

## 【 0 1 2 2 】

本実施例のドレイン電極を反射性を有する導電体膜として、かつ、画素電極としての機能を持たせることで、反射型の液晶表示装置のアクティブマトリクス基板を作製することも可能である。

## 【 0 1 2 3 】

## [実施例 2]

本実施例では、フィールドシーケンシャル方式に用いる液晶表示装置の作製方法を例示する。図 1 2 は T F T 素子をスイッチング素子として用いた液晶表示装置を示す。

## 【 0 1 2 4 】

対向基板の基板 5 0 8 には遮光膜 5 0 9 が形成されている。遮光膜はクロム (Cr) 等を用いることができる。遮光膜の膜厚は 1 0 0 n m ~ 2 0 0 n m が望ましい。

## 【 0 1 2 5 】

遮光膜 5 0 9 上に透明導電膜 5 1 0 が形成されている。透明導電膜は酸化インジウム錫 (I T O) 膜を用いることができる。可視光の透過率を高く保つために、I T O 膜の膜厚は 1 0 0 n m ~ 1 2 0 n m が望ましい。

## 【 0 1 2 6 】

素子基板と対向基板には配向膜 5 1 1 ~ 5 1 2 が形成されている。配向膜の膜厚は 3 0 n m ~ 8 0 n m が良い。配向膜は例えば、日産化学社製の S E 7 7 9 2 を用いることができる。プレチルトの高い配向膜を用いると、アクティブマトリクス方式により液晶表示装置を駆動するときにディスクリネーションの発生を抑制することができる。

## 【 0 1 2 7 】

配向膜 5 1 1 ~ 5 1 2 をラビングする。ラビング方向は液晶表示装置が完成したときに、左巻きの T N (Twisted Nematic) 配向になるようにする。

## 【 0 1 2 8 】

図示してはいないが、スペーサーを画素内に散布若しくはパターンニングにより設けて、セルギャップの均一性を向上することも可能である。本実施例では、液晶の高速応答化を図るために、スペーサーを $1.0\mu\text{m}$ の高さにして、液晶を駆動するときの電界強度を強くした。

## 【0129】

シール剤513により対向基板と素子基板が貼り合わせる。シール剤はUV硬化型のシール剤で三井東圧社製のXNR5610-1H1を用いる。シール剤中に、シリカ系のスペーサである触媒化学社製の真糸球を入れる。真糸球の径は $1.0\mu\text{m}$ とする。シール剤が硬化した後に、対向基板と素子基板を分断する。

## 【0130】

液晶材料514を注入をする。液晶材料は、低粘度の材料が高速応答という点で望ましい。本実施例では、配向制御が容易なネマチック液晶を用いる。もちろん高速応答が可能な強誘電性液晶、反強誘電性液晶を用いても良い。強誘電性液晶、反強誘電性液晶ともアナログ階調による表示が可能な液晶を選択することが望ましい。強誘電性液晶、反強誘電性液晶に、高分子樹脂を添加して熱又は光により強誘電性液晶又は反強誘電性液晶と高分子樹脂の混合系を硬化して液晶の配向を制御した材料を用いることも可能である。

## 【0131】

液晶材料が注入されたことを確認し、UV硬化型の封止剤で、液晶表示装置の注入口を封止する。

## 【0132】

次いで公知の技術により偏光板（図示せず）を貼りつける。以上の工程で液晶表示装置が完成する。

## 【0133】

## [実施例3]

上記各実施例1乃至2のいずれか一を実施して形成された液晶表示装置は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を適用できる。

## 【0134】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 3、図 1 4 に示す。

## 【0135】

図 1 9 (A) はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を表示部 2 0 0 3 に適用することができる。

## 【0136】

図 1 3 (B) はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 に適用することができる。

## 【0137】

図 1 3 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 に適用できる。

## 【0138】

図 1 3 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 に適用することができる。

## 【0139】

図 1 3 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 に適用することができる。

## 【0140】

図 1 3 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼

部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）等を含む。本発明を表示部 2 5 0 2 に適用することができる。

【0 1 4 1】

図 1 4（A）は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本発明を表示部 2 9 0 4 に適用することができる。

【0 1 4 2】

図 1 4（B）は携帯書籍（電子書籍）であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 に適用することができる。

【0 1 4 3】

図 1 4（C）はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。

【0 1 4 4】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～2 のどのような組み合わせからなる構成を用いても実現することができる。

【0 1 4 5】

【発明の効果】

本発明を実施することにより、フィールドシーケンシャル方式の液晶の応答時間、画素データの書き込み時間を短縮することができる。

【図面の簡単な説明】

【図 1】 本発明による液晶表示装置の駆動方法の回路構成の一例を示す図。

【図 2】 本発明による液晶表示装置の駆動方法のタイミングチャートの一例を示す図。

【図 3】 本発明による液晶表示装置の駆動方法のタイミングチャートの一例を示す図。

【図 4】 本発明による液晶表示装置の駆動方法のタイミングチャートの一例を示す図。

【図 5】 本発明による液晶表示装置の駆動方法の回路構成の一例を示す図。

【図 6】 本発明による液晶表示装置の駆動方法のタイミングチャートの一例を示す図。

【図 7】 フィールドシーケンシャル方式でカラー表示をするときのタイミングチャートの一例を示す図。

【図 8】 アクティブマトリクス基板の作製方法を示す断面図。

【図 9】 アクティブマトリクス基板の作製方法を示す断面図。

【図 1 0】 アクティブマトリクス基板の作製方法を示す断面図。

【図 1 1】 アクティブマトリクス基板の画素部を示す上面図。

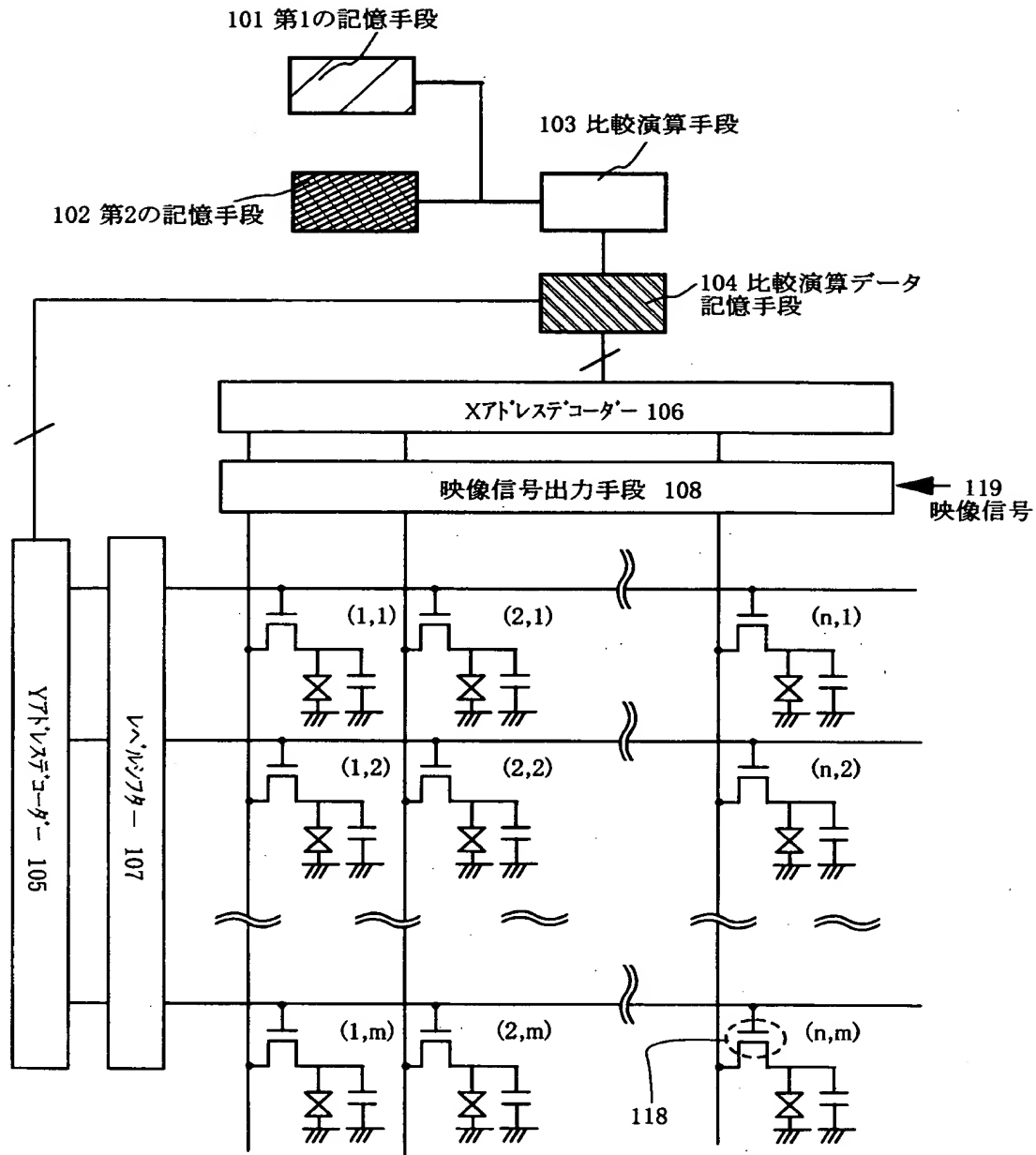
【図 1 2】 液晶表示装置の断面図。

【図 1 3】 電子機器の一例を示す図。

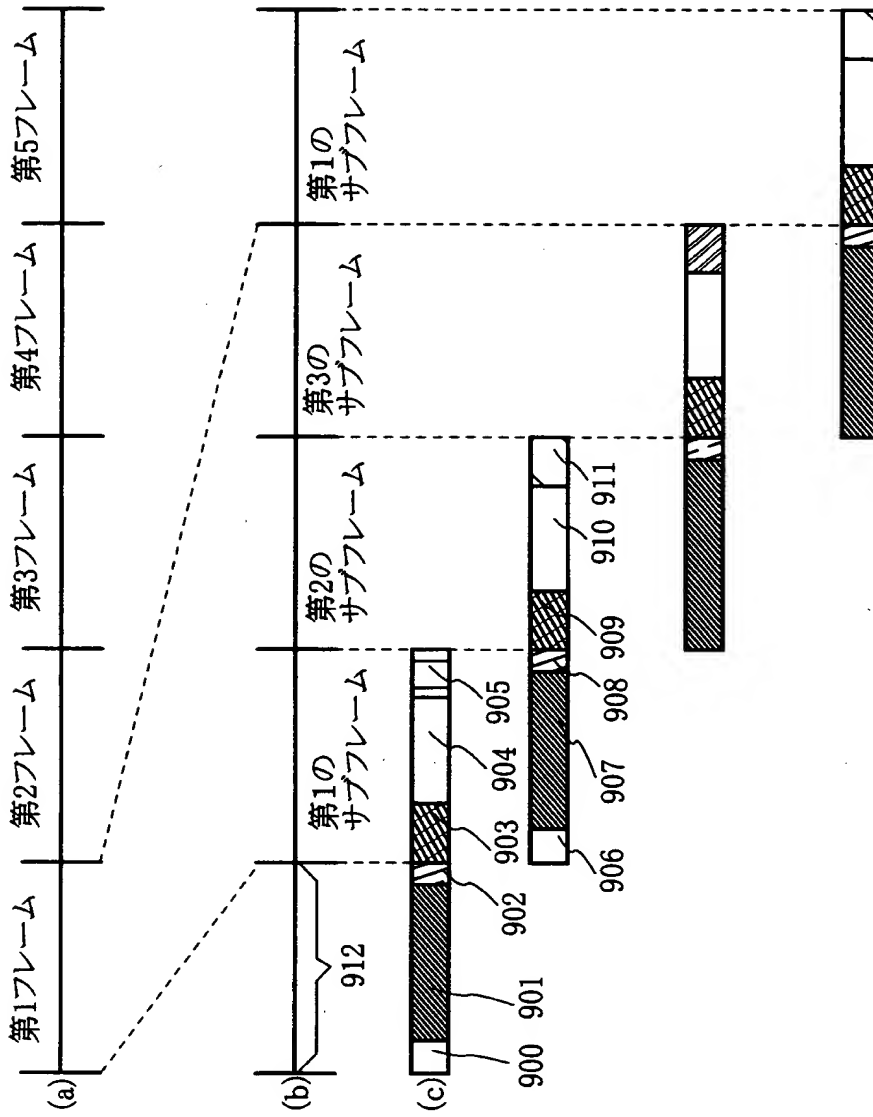
【図 1 4】 電子機器の一例を示す図。

【書類名】 図面

【図 1】

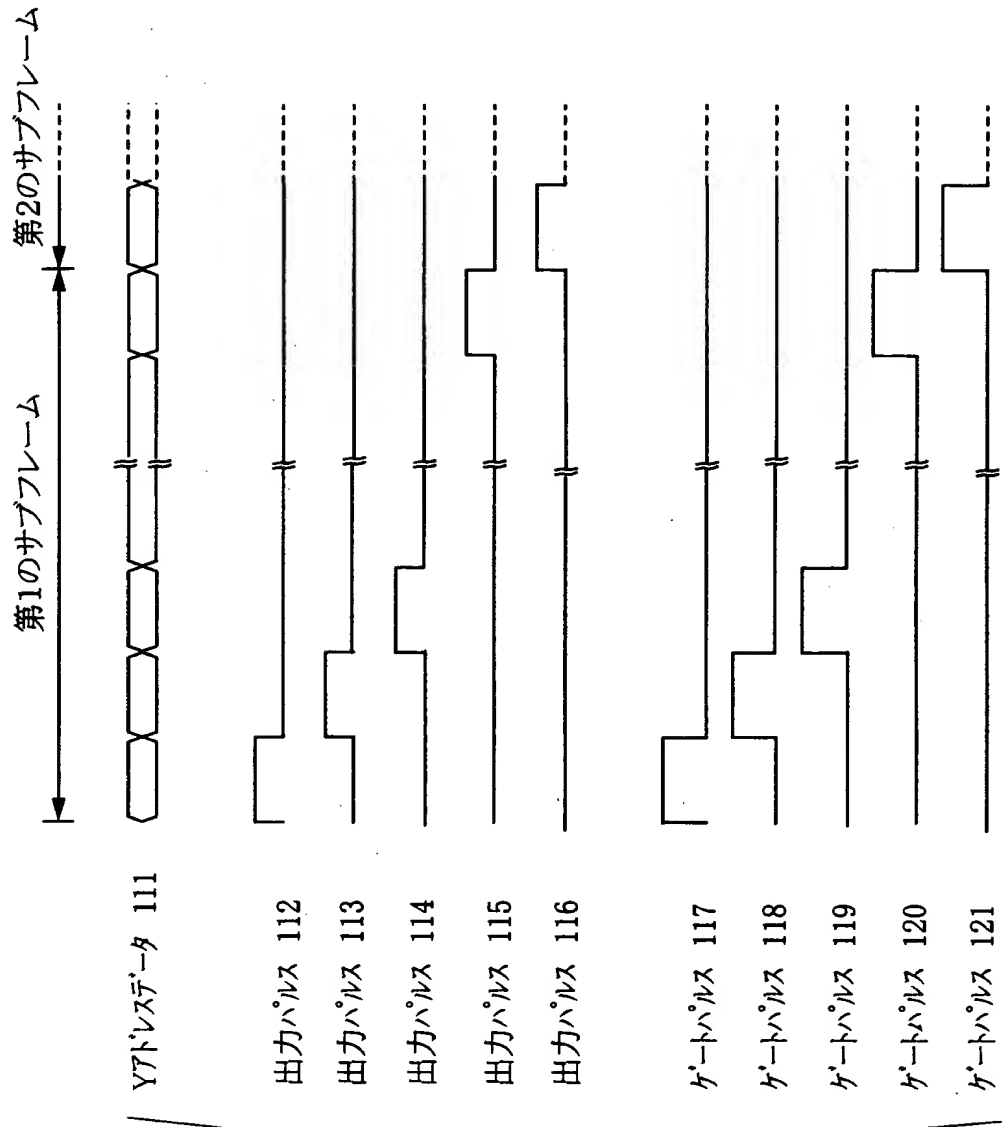


【図 2】

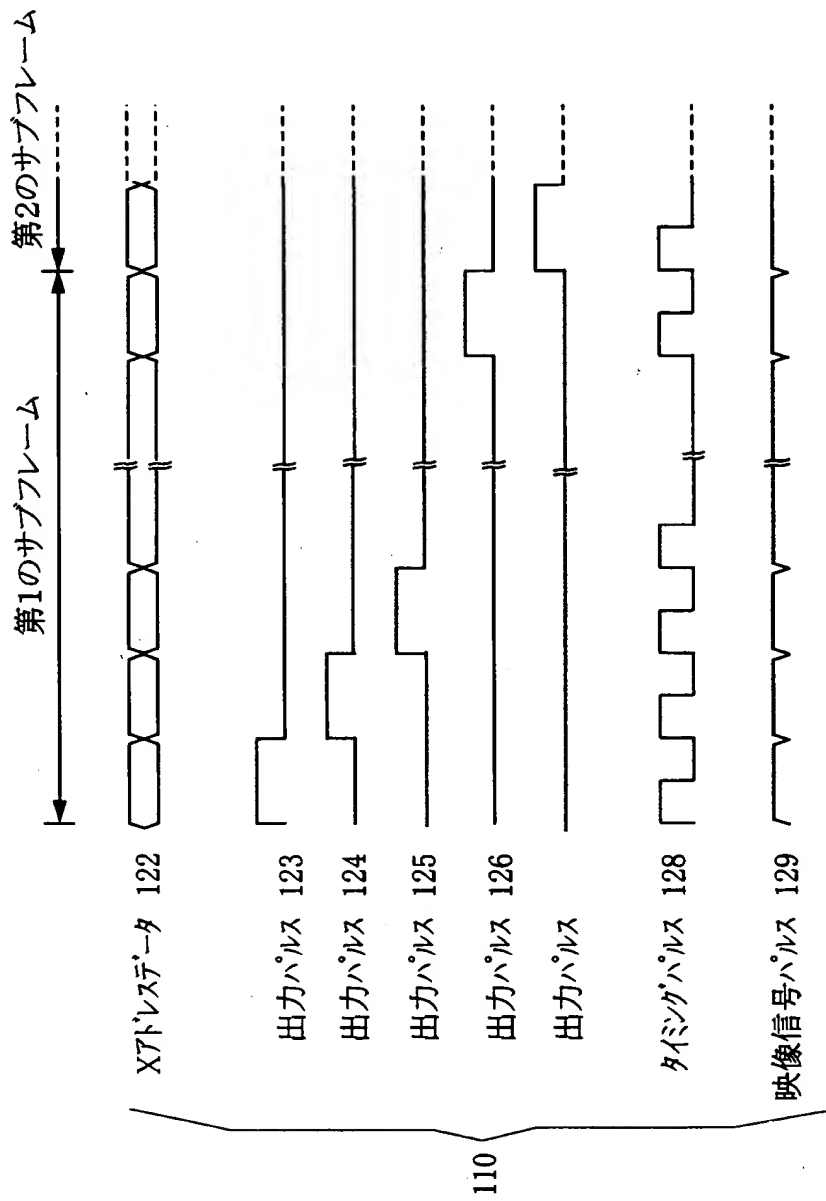




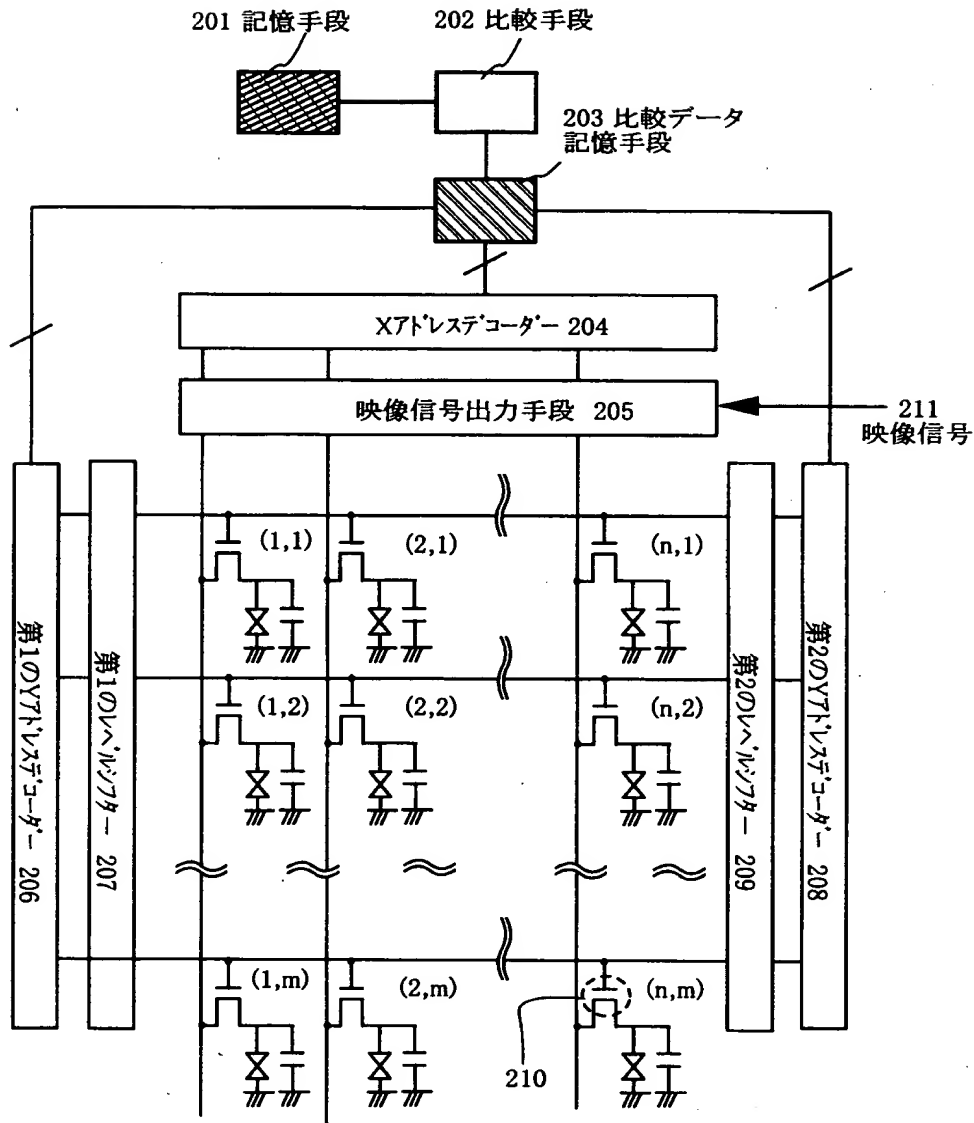
【図 3】



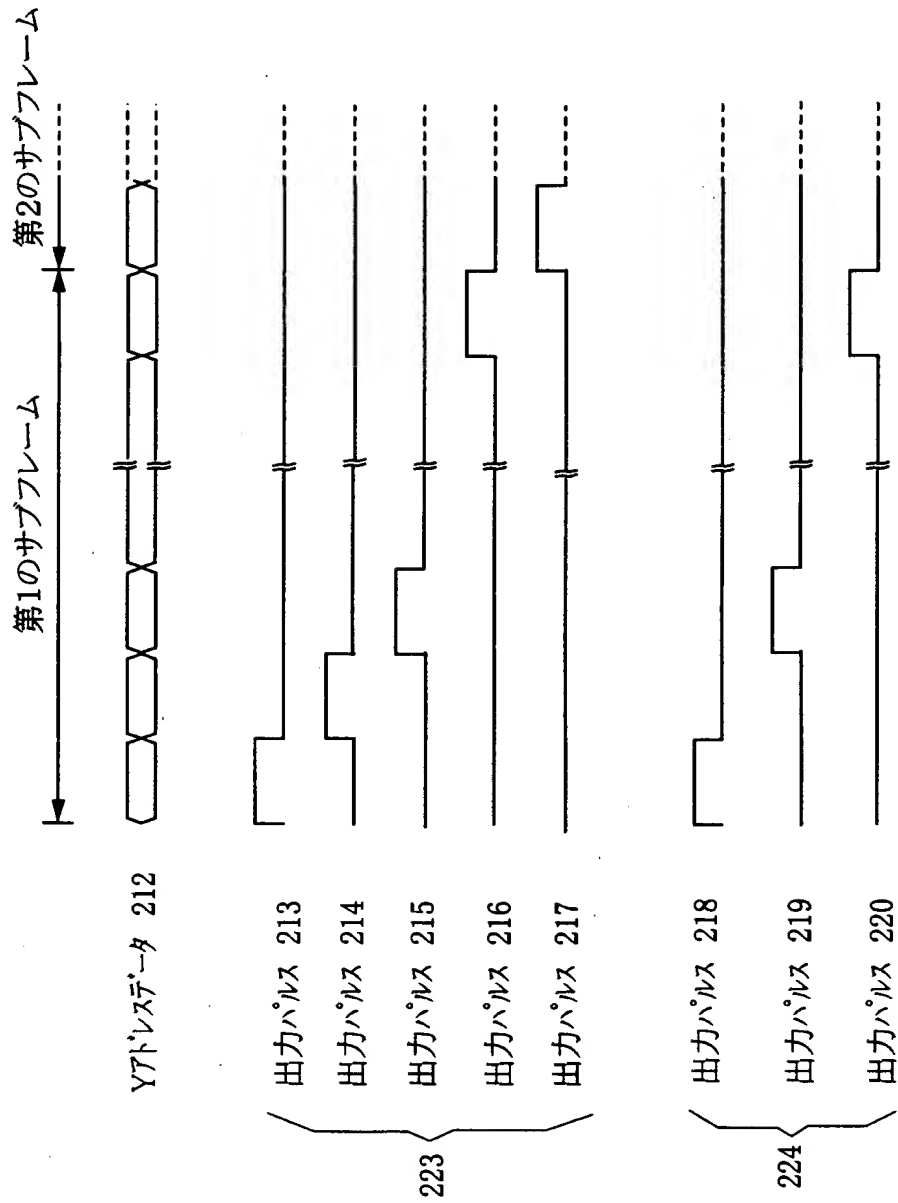
【図 4】



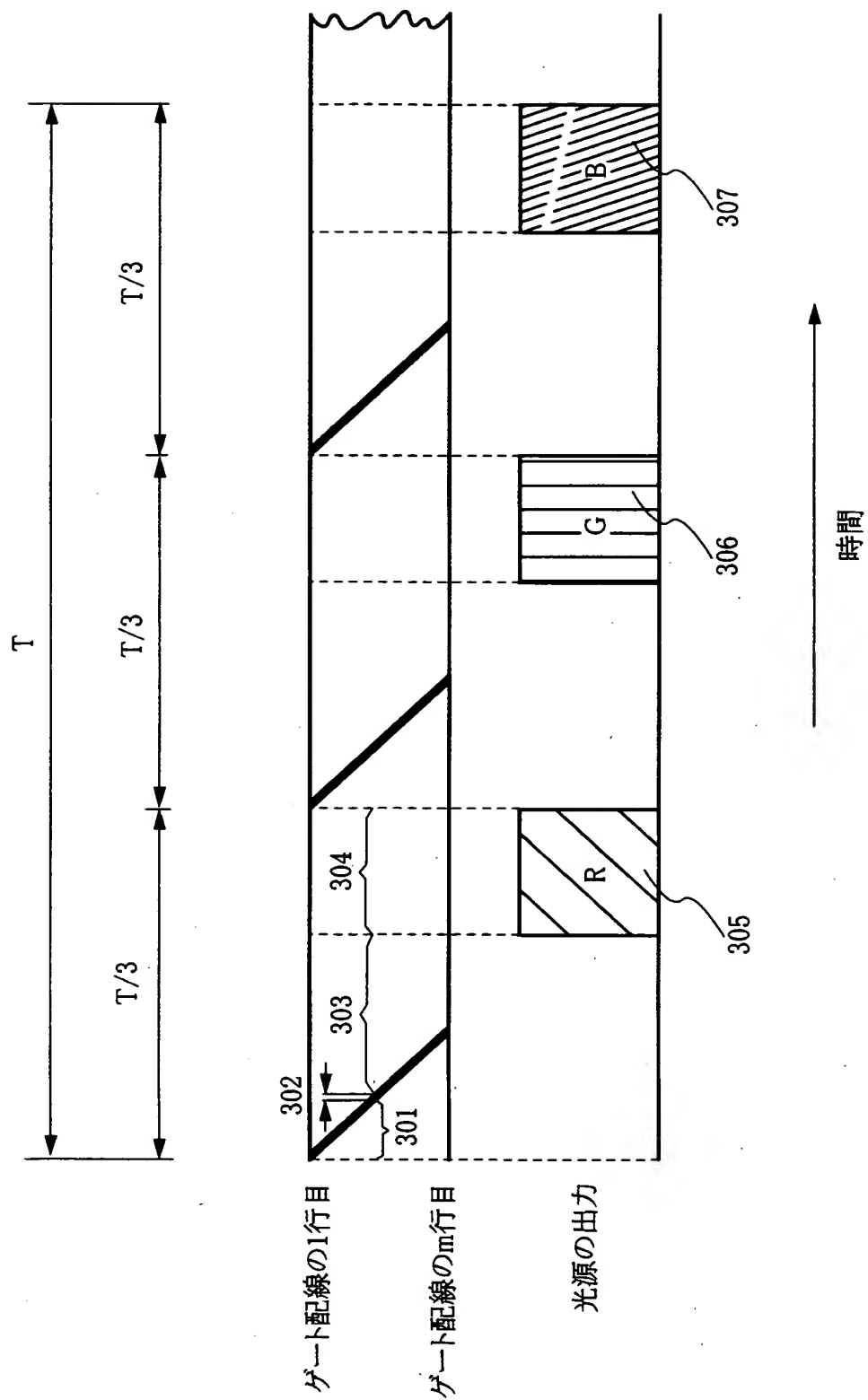
【図 5】



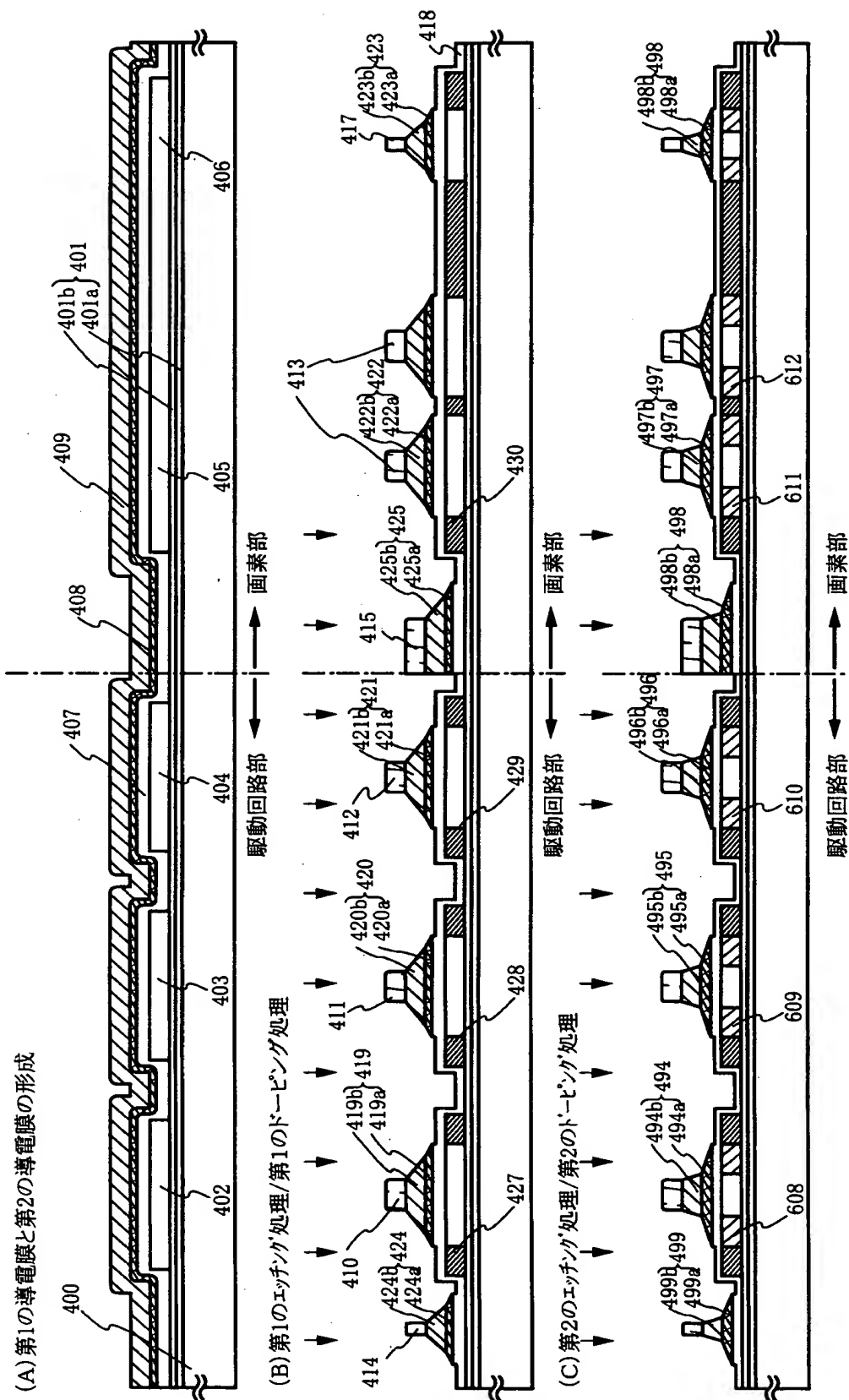
【図 6】



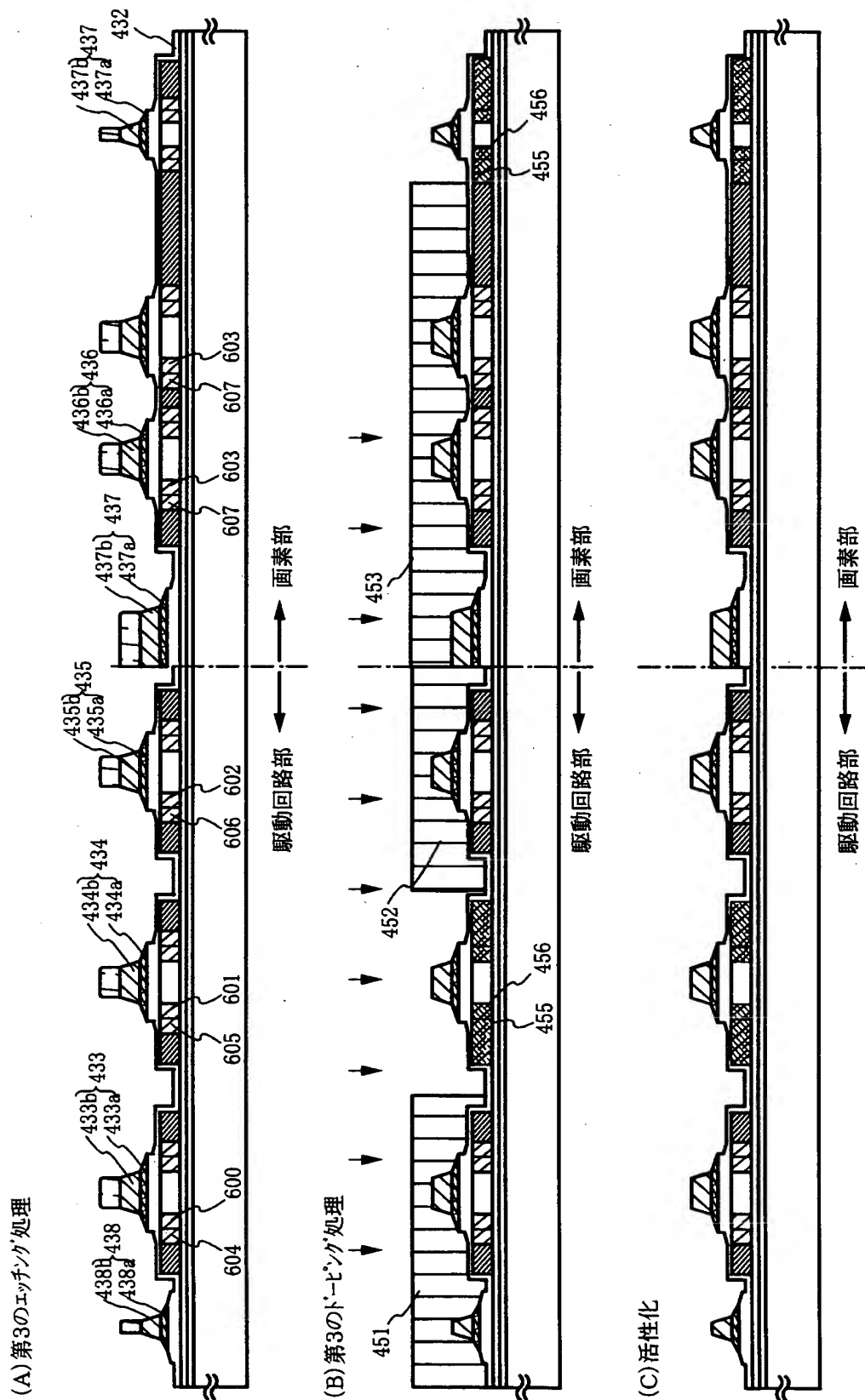
【図 7】



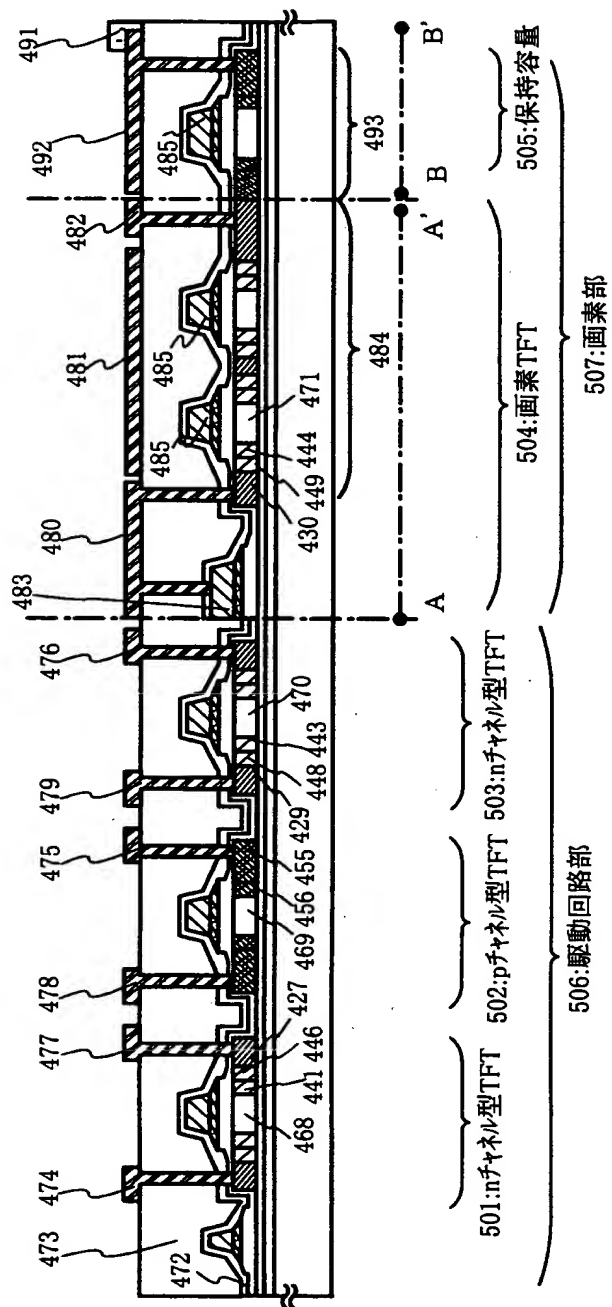
【図 8】



【図9】

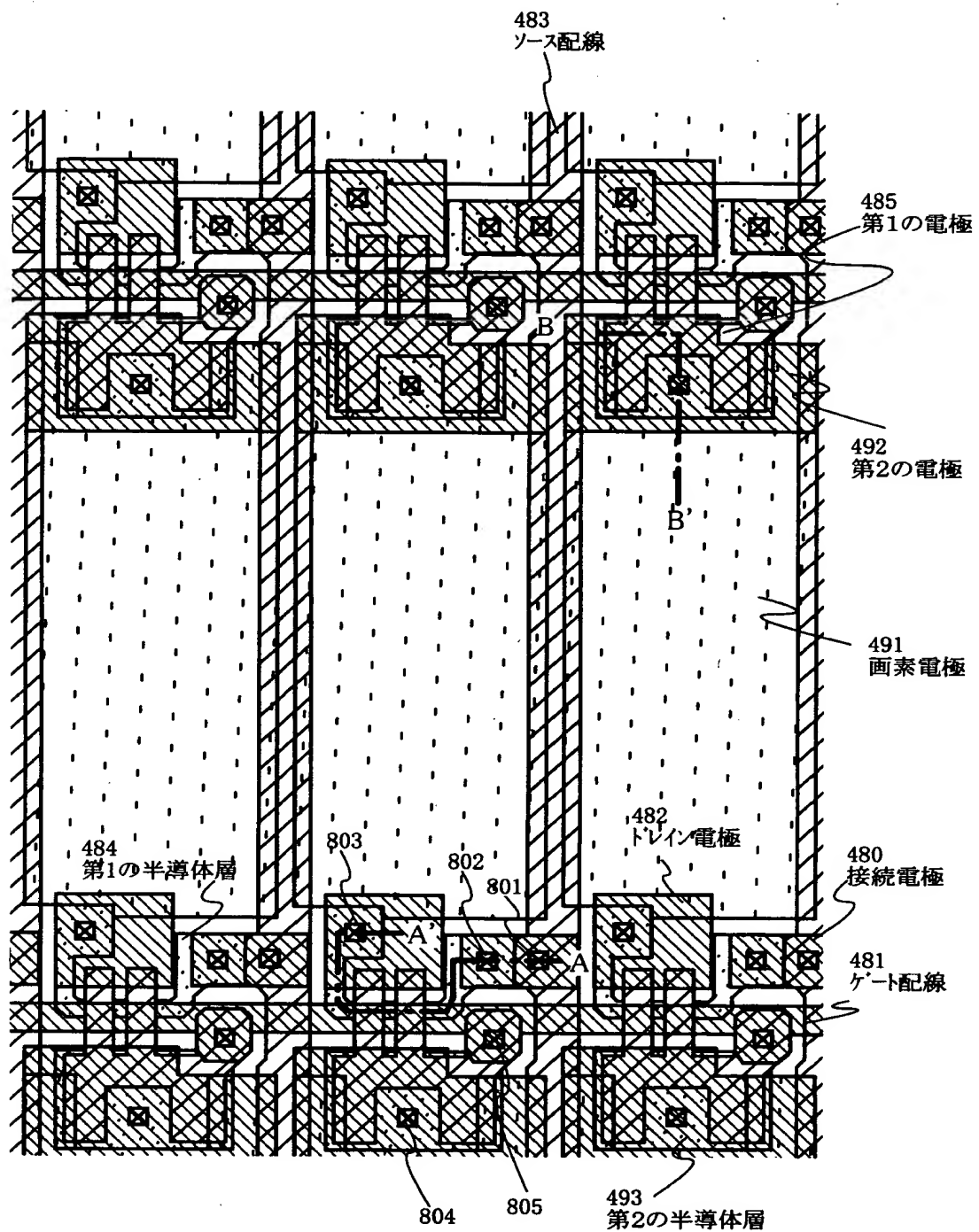


【図10】

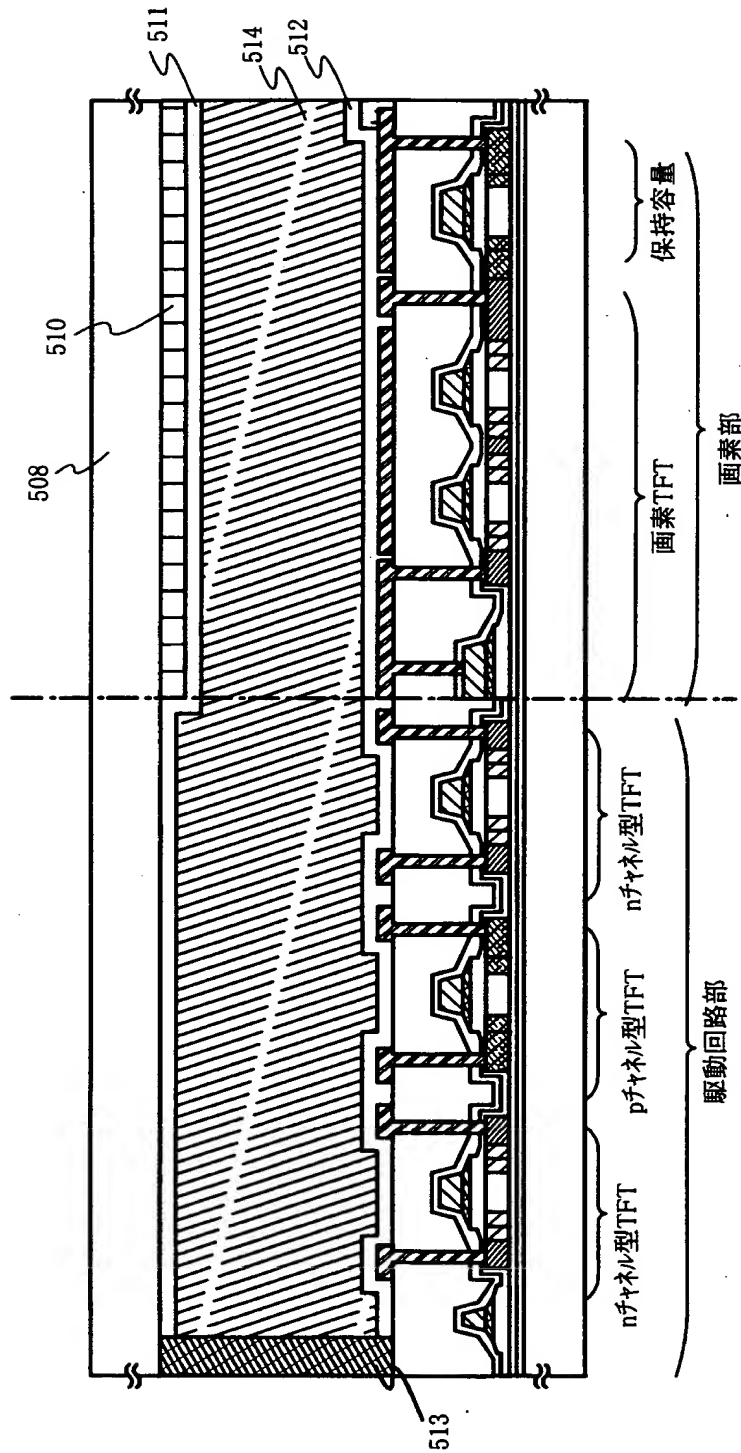




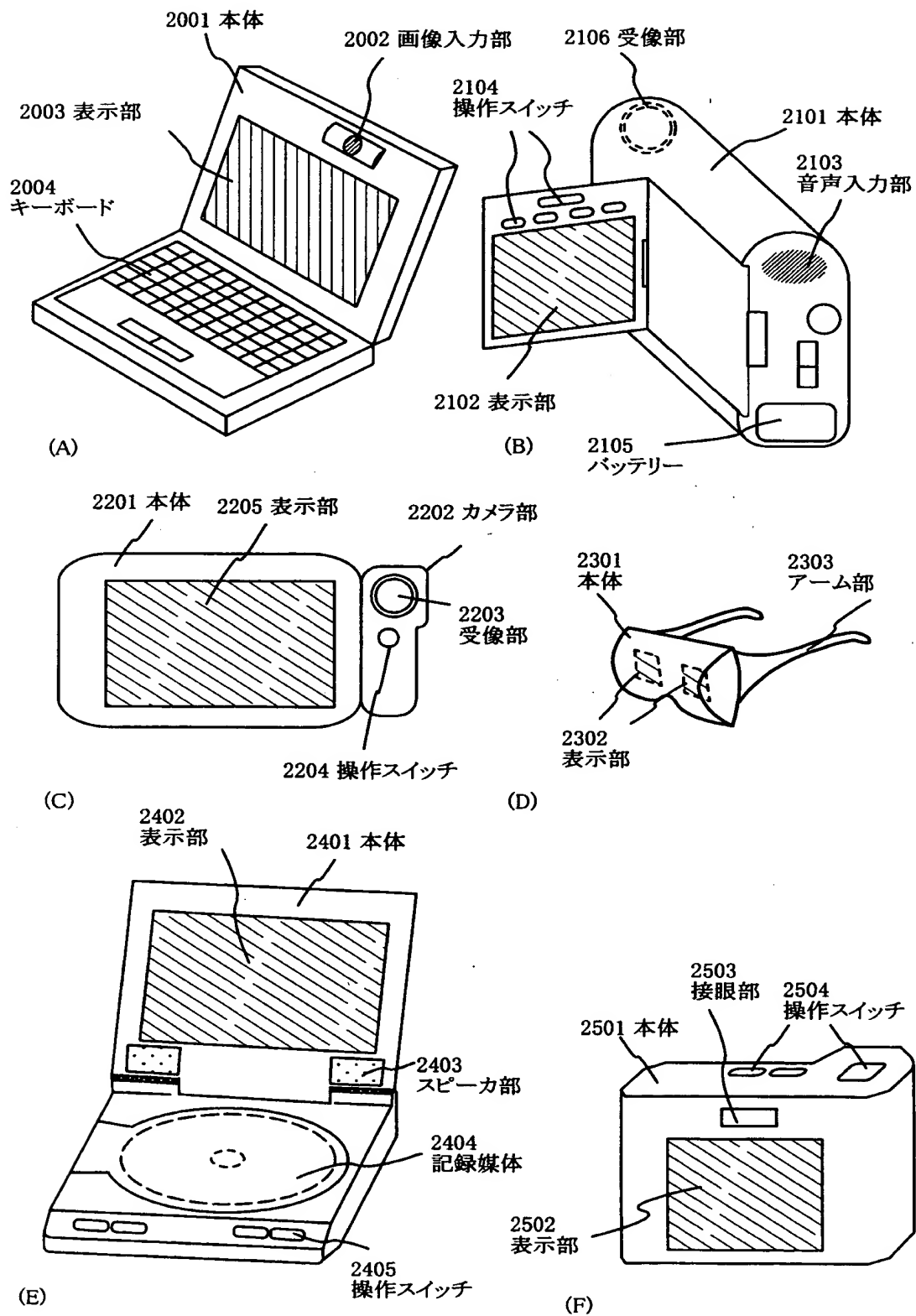
【图 1 1】



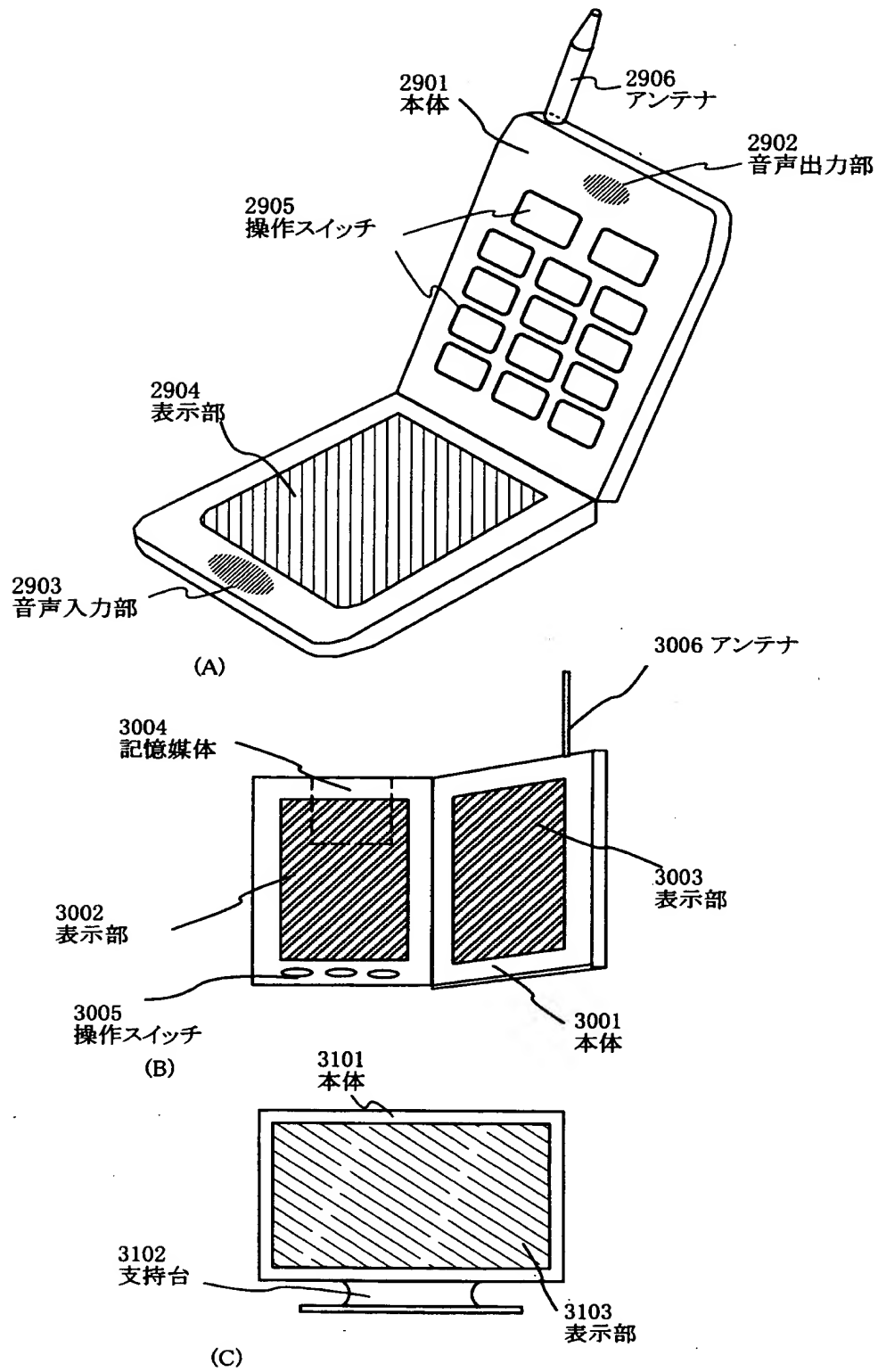
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 フィールドシーケンシャル方式にてカラー表示をするときに、液晶の応答時間又は走査線の走査時間を短縮する。

【解決手段】 ①液晶の応答時間の長い画素の画素T F Tから順に信号線の信号を書き込む。②同一の信号線に接続した画素T F Tのうち、同一階調を表示する画素T F Tに信号線の信号を書き込む。③同一の信号線に接続した画素T F Tのうち、同一階調又は近似階調を表示する画素T F Tに同時に信号線の信号を書き込む。次に、近似階調を表示する画素T F Tの画素電極に、正規の信号電圧を与える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所